

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

07537977     \*\*Image available\*\*

**METHOD FOR PREPARING SEMICONDUCTOR DEVICE**

PUB. NO.:            2003-031814 [JP 2003031814 A]  
PUBLISHED:        January 31, 2003 (20030131)  
INVENTOR(s):      HIROKI MASAOKI  
                         YAMAZAKI SHUNPEI  
APPLICANT(s):     SEMICONDUCTOR ENERGY LAB CO LTD  
APPL. NO.:        2002-077384 [JP 200277384]  
FILED:             March 19, 2002 (20020319)  
PRIORITY:         2001-079609 [JP 200179609], JP (Japan), March 19, 2001  
                         (20010319)  
INTL CLASS:       H01L-029/786; G02F-001/1368; G09F-009/00; H01L-021/66

**ABSTRACT**

**PROBLEM TO BE SOLVED:** To provide a method for preparing a semiconductor device including a non-contact checking process capable of confirming whether a circuit and a circuit element formed on a TFT board capable of preventing drop up production yield operate normally or not by reducing defects due to sticking of fine dust in the checking process for the mass production of the semiconductor device.

**SOLUTION:** By rectifying and shape forming the electromotive force generated by electromagnetic induction by using a primary coil on a check board and a secondary coil on an array substrate, power voltage and a driving signal are supplied to the circuit on the TFT board and the circuit element for driving them.

**COPYRIGHT:** (C)2003,JPO

**Family list****3** family members for:**JP2003031814**

Derived from 3 applications.

- 1 Method for making semiconductor device**  
Publication info: **CN1375859 A** - 2002-10-23
- 2 METHOD FOR PREPARING SEMICONDUCTOR DEVICE**  
Publication info: **JP2003031814 A** - 2003-01-31
- 3 Method of manufacturing a semiconductor device**  
Publication info: **US2002132383 A1** - 2002-09-19

Data supplied from the *esp@cenet* database - Worldwide

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テ-マ-ド <sup>*</sup> (参考)
H01L 29/786		G02F 1/1368	2H092
G02F 1/1368		G09F 9/00	352 4M106
G09F 9/00	352	H01L 21/66	C 5F110
H01L 21/66		29/78	624 5G435

審査請求 未請求 請求項の数14 O L (全28頁)

(21) 出願番号 特願2002-77384(P 2002-77384)

(22) 出願日 平成14年3月19日(2002.3.19)

(31) 優先権主張番号 特願2001-79609(P2001-79609)

(32) 優先日 平成13年3月19日(2001.3.19)

(33) 優先権主張国 日本(J P)

(71) 出願人 000153878  
株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72) 発明者 ▲ひろ▼木 正明  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 山崎 舜平  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

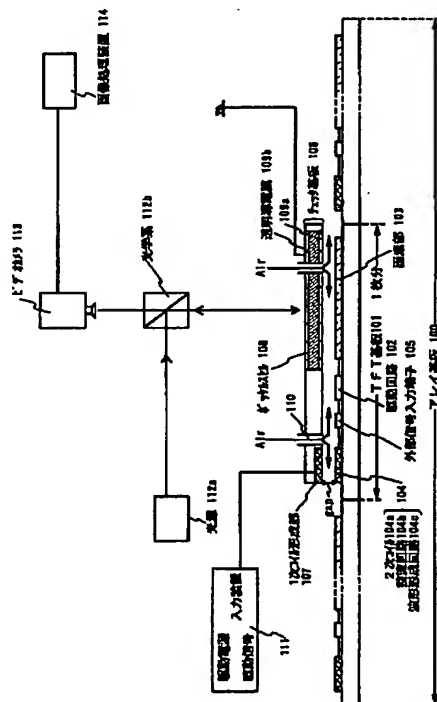
最終頁に続く

## (54) 【発明の名称】 半導体装置の作製方法

## (57) 【要約】

【課題】 半導体装置の量産化に向けて、検査工程で微細なゴミが付着することにより不良が発生する問題を減らし、歩留まりの低下を防ぐことができるTFT基板に形成された回路および回路素子が正常に動作するかどうかを確認できる非接触の検査工程を含む半導体装置の作製方法を提供することを目的とする。

【解決手段】 チェック基板に形成された1次コイルとアレイ基板に形成された2次コイルを用い、電磁誘導によって生じた起電力を整流化および整形することで電源電圧および駆動信号をTFT基板の回路および回路素子に供給し駆動させる。



## 【特許請求の範囲】

【請求項 1】アレイ基板上に、TFT、2 次コイル、整流回路および波形形成回路を形成する工程と、複数の TFT を電気的に接続し、前記 2 次コイルと前記整流回路もしくは前記 2 次コイルと前記波形整形回路とを接続する配線を形成する工程と、交流の電圧を印加された 1 次コイルを有するチェック基板と前記 2 次コイルが形成されたアレイ基板とを一定の間隔を保つように重ね、前記 TFT において生じる電界の強さを測定した結果から前記 TFT の欠陥を検査する工程と、前記アレイ基板上に形成された前記 TFT と、前記 2 次コイル、前記整流回路および前記波形形成回路とを分断する工程と、を含むことを特徴とする半導体装置の作製方法。

【請求項 2】アレイ基板上に、TFT、2 次コイル、整流回路および波形形成回路を形成する工程と、複数の TFT を電気的に接続し、前記 2 次コイルと前記整流回路もしくは前記 2 次コイルと前記波形整形回路とを接続する配線を形成する工程と、交流の電圧を印加された 1 次コイルを有するチェック基板と前記 2 次コイルが形成されたアレイ基板とを一定の間隔を保つように重ね、前記 TFT において生じる電磁波の強さを測定した結果から前記 TFT の欠陥を検査する工程と、前記アレイ基板上に形成された前記 TFT と、前記 2 次コイル、前記整流回路および前記波形形成回路とを分断する工程と、を含むことを特徴とする半導体装置の作製方法。

【請求項 3】アレイ基板上に TFT、2 次コイル、整流回路および波形整形回路を形成する工程と、複数の TFT を電気的に接続し、前記 2 次コイルと前記整流回路もしくは前記 2 次コイルと前記波形整形回路とを接続する配線を形成する工程と、画素電極を形成する工程と、分断して TFT 基板とする工程と、前記画素電極上に有機化合物層および電極を形成する工程と、を含む半導体装置の作製方法において、チェック基板を用いて前記アレイ基板を分断する工程の前にアレイ基板上に形成された複数の TFT 基板の製品化の可否を確認する検査工程を含むことを特徴とする半導体装置の作製方法。

【請求項 4】請求項 3 において、前記チェック基板は、前記アレイ基板近傍に非接触で重ねられ、前記アレイ基板上に形成された回路または回路素子に駆動電源および駆動信号を供給し、かつ前記アレイ基板上の回路および回路素子の動作情報を電界および電磁界の変化で検出する基板であることを特徴とする半導体装置の作製方法。

【請求項 5】請求項 1 乃至請求項 3 のいずれかにおいて、前記 2 次コイルは、TFT のゲート電極を形成する導電膜を用いて形成することを特徴とする半導体装置の作製方法。

【請求項 6】請求項 1 乃至請求項 3 のいずれかにおいて、前記整流回路および前記波形整形回路は、外部信号入力端子に接続されていることを特徴とする半導体装置の作製方法。

【請求項 7】請求項 1 乃至請求項 3 のいずれかにおいて、前記チェック基板と前記アレイ基板との間に気体または液体を流入することによって一定の間隔を制御し検査する工程を含むことを特徴とする半導体装置の作製方法。

【請求項 8】請求項 1 乃至請求項 3 のいずれかにおいて、前記 2 次コイル、前記整流回路および前記波形整形回路は、アレイ基板を分断する工程において、TFT 基板から電気的かつ物理的に切り離されることを特徴とする半導体装置の作製方法。

【請求項 9】請求項 1 乃至請求項 3 のいずれかにおいて、前記アレイ基板は、ガラス基板、石英、セラミック基板もしくはプラスチック基板のいずれを用いてもよいことを特徴とする半導体装置の作製方法。

【請求項 10】請求項 1 乃至請求項 3 のいずれかにおいて、前記チェック基板は複数の 1 次コイルを有しており、前記アレイ基板は複数の 2 次コイルを有しており、前記 1 次コイルに駆動電源および駆動信号が供給されると、電磁誘導により前記 2 次コイルに生じた交流電圧を前記整流回路により直流化し、かつ前記波形整形回路により整形して駆動信号とし、前記アレイ基板上に形成された回路および回路素子に供給し、前記回路および前記回路素子の動作を検査する工程を含むことを特徴とする半導体装置の作製方法。

【請求項 11】請求項 1 乃至請求項 3 のいずれかにおいて、前記チェック基板は 1 次コイルおよび電界により光学特性が変化する材料を有し、前記電界により光学特性が変化する材料は、液晶もしくはポッケルスセルであることを特徴とする半導体装置の作製方法。

【請求項 12】請求項 1 乃至請求項 3 のいずれかにおいて、前記チェック基板が有するポッケルスセルは、 $\text{NH}_4\text{H}_2\text{PO}_4$ 、 $\text{BaTiO}_3$ 、 $\text{KH}_2\text{PO}_4$  (KHP)、 $\text{KD}_2\text{PO}_4$  (D・KDP)、 $\text{LiNbO}_3$ 、 $\text{ZnTe}$  または  $\text{ZnO}$  の結晶体であることを特徴とする半導体装置の作製方法。

【請求項 13】請求項 1 乃至請求項 3 のいずれかにおいて、前記ポッケルスセルの屈折率の変化を観察することで、前記アレイ基板に複数形成された TFT 基板の製品化の可否を確認する検査工程を含むことを特徴とする半導体装置の作製方法。

【請求項 14】請求項 1 乃至請求項 3 のいずれかにおいて、前記チェック基板は小型アンテナを有しており、前記小型アンテナによりアレイ基板上に形成された回路および回路素子から発生する電磁波の強度、スペクトルを測定するアンテナ（受信部）を用いて電磁波の強度、周波数を良品と比較することで前記アレイ基板上の TFT 基板の製品化の可否を判断する検査工程を含むことを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体特性を用いた半導体素子、例えばトランジスタ、特に電界効果型トランジスタ、代表的にはMOS (Metal Oxide Semiconductor) トランジスタや薄膜トランジスタ (Thin film transistor: TFT) といった半導体素子の検査工程を含む半導体装置の作製方法に関する。より具体的には、非接触型の検査装置及びそれを用いた検査方法に関する。また、このような半導体素子の検査工程を含む半導体装置の作製方法に関する。

【0002】

【従来技術】アクティブマトリクス型の液晶ディスプレイやELディスプレイは、一般的に各画素にTFTが設けられており、液晶ディスプレイの場合、この各画素に1つ形成されたTFTがスイッチング素子として機能しており、ELディスプレイの場合は、各画素に形成された複数のTFTの中で、スイッチング素子として機能するTFTと、電流制御を行うTFTとがある。

【0003】このようにひとつのディスプレイに多数のTFTが形成されるディスプレイを作製する工程において、製品として完成する前に、工程の早い段階で不良品を見分ける検査工程を含むことは、不良品に対してその工程以降を行わなくてよい、また不良品の早期発見によりリペアしやすい等の理由により、コスト削減という観点から見て、非常に有効な手段である。

【0004】例えば、ELディスプレイの場合、EL素子が有する一方の電極 (画素電極) とコンデンサとが、トランジスタを間に介して接続されている場合がある。発光素子の発光を制御するための回路または回路素子に何らかの不具合が生じていても、ELディスプレイを完成させて実際に表示を行うまで、その不具合の存在を確認することが難しい。実際には製品にならないELパネルであっても、良品との区別をつけるために、発光素子を形成し、パッケージングし、コネクタを取り付けてELディスプレイとして完成させて検査を行っていた。この場合、発光素子を形成する工程と、パッケージングする工程と、コネクタを取り付ける工程とが無駄になるため、時間とコストを抑えることができない。また多面取りの基板を用いてELパネルを形成する場合でも、パッケージングしコネクタを取り付ける工程が無駄になり、同様に時間とコストを抑えることができない。

【0005】そこで、半導体膜、絶縁膜または配線のパターン (以下、単にパターンと呼ぶ) の幅のばらつきによって動作不良が生じている箇所や、ゴミまたは成膜不良によって、配線が断線またはショートしている箇所を検出したり、検査対象である回路または回路素子が正常に動作するかどうかを確認するための検査が行われている。このような欠陥検査は、主に光学式検査方法と、プローブ検査方法とに大別される。

【0006】光学式検査方法は、基板上に形成されたパターンをCCD等で読み取り、基準となるパターンと比

較して欠陥を識別する検査方法である。また、プローブ検査方法は、基板側の端子に微細なピン (プローブ) を立てて、プローブ間の電流または電圧の大きさによって欠陥を識別する検査方法である。一般的に、前者は非接触型検査方法と呼ばれ、後者は触針型検査方法と呼ばれる。

【0007】

【発明が解決しようとする課題】TFT基板に配線を直接接続 (接触) させた上記のような検査方法により製品にできる良TFT基板または製品できない不良TFT基板かが判断されている。しかし、これらの方法は、接続配線の取り付け、取り外し作業において、ゴミが基板に付着してしまう可能性が高い。さらに、配線に直接微細なピン (プローブ) を接触させて欠陥箇所を検出する方法では、配線に傷が付いてしまう可能性がある。上記した検査方法では、検査工程を行ったせいで、いたずらに不良品を増やしてしまうことがあり得る。

【0008】そこで、本発明において、アクティブマトリクス型のELディスプレイの量産化に向けて、ELディスプレイを完成させる前に、TFT基板に形成された回路および回路素子が正常に動作するかどうかを確認できる非接触の検査工程を含む半導体装置の作製方法を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明者は、アレイ基板に直接検査装置を接続しなくても、電磁誘導によってTFT基板の配線に起電力を生じさせることで、該配線に電流を流す方法を考えた。

【0010】具体的には、TFT基板を検査するための、検査用の基板 (チェック基板) を別途用意する。チェック基板は1次コイルを有しており、検査対象であるアレイ基板 (TFT基板) は、2次コイルを有している。

【0011】なお、1次コイルと2次コイルはともに、基板上に成膜した導電膜をパターニングすることで形成する。そして、本発明において1次コイル及び2次コイルは、中心に磁性体を設けて磁路としたコイルではなく、中心に磁性体を設けないコイルを用いる。

【0012】そして、チェック基板が有する1次コイルと、アレイ基板が有する2次コイルを一定の間隔を空けて重ね合わせ、1次コイルが有する2つの端子間に交流の電圧を印加することで、2次コイルが有する2つの端子間に起電力を生じさせる。なおチェック基板とアレイ基板との間隔は小さいほど望ましく、1次コイルと2次コイルを間隔の制御が可能な限り近づけたほうが良い。

【0013】そして、2次コイルに生じた起電力である交流電圧を、TFT基板において整流化した後適当に平滑化することで、TFT基板が有する回路または回路素子を駆動させるための直流の電圧 (以下、電源電圧と呼ぶ) として用いることが可能である。また、2次コイル

に生じた起電力である交流の電圧を、波形整形回路等で適当にその電圧の波形を整形することで、TFT基板が有する回路または回路素子を駆動させるための信号（以下、駆動信号と呼ぶ）として用いることが可能である。

【0014】そして、この駆動信号または電源電圧がTFT基板に供給され、回路または回路素子が駆動する。回路または回路素子が駆動すると、回路または回路素子において微弱な電磁波、または電界が生じる。この微弱な電磁波または電界の様子を確認することで、多数の回路または回路素子の中から、正常に動作していない回路や回路素子を有するTFT基板を見つけ出すことが可能である。

【0015】なお回路または回路素子において生じる微弱な電磁波、または電界を確認する方法は、公知の方法を用いることができる。

【0016】本発明は上記構成によって、TFT基板に直接プローブを接続しなくてもTFT基板の製品化の可否を確認することができるため、検査工程で微細なゴミが付着することにより発生する不良を減らすことができ、歩留まりの低下を防ぐことができる。なおかつ、光学式検査方法と異なり、1回の検査工程でTFT基板の製品化の可否を判断することができるので、検査工程がより簡便化することができ、量産においても検査工程に時間を費やすことがない。さらに発光素子を無駄に形成することがなくなる。

【0017】

【発明の実施の形態】（実施形態1）本実施形態では、アレイ基板100に複数のTFT基板101を作製する工程、作製されたTFT基板の良否を確認する検査工程、および良品と判断されたTFT基板上に発光素子を形成する工程について、図1～5、図20～23を用いて順に説明する。

【0018】なお、本実施形態では、TFT基板上に発光素子を形成する例を示すが、本発明は、発光素子を有する発光装置（ELディスプレイ）だけでなく、液晶表示装置等、半導体特性を用いた半導体素子、例えばトランジスタ、特に電界効果型トランジスタ、代表的にはMOS（Metal Oxide Semiconductor）トランジスタや薄膜トランジスタ（Thin film transistor:TFT）といった半導体素子を用いた電気器具すべてに適用することが可能である。

【0019】まず、アレイ基板100上にTFTを含む駆動回路102、画素部103、トランス2次コイル、整流回路および波形整形回路104、外部信号入力端子105を形成する。なお、図2で示したTFTは、画素部103において発光素子に流れる電流を制御するためのTFTであり、本明細書中においては電流制御用TFTと称する。また、トランス2次コイルは、チェック基板に設けられたトランス1次コイルと用いることにより、非接触でTFT基板に駆動電源および駆動信号を供

給する手段であり、整流回路は、1次コイルから印加された交流電圧を直流化するための回路、波形形成回路は、1次コイルから印加された交流電圧を駆動信号の波形（もしくは、信号波形に近い形状）に修正するための回路である。

【0020】図3にアレイ基板100とチェック基板106との簡略回路図を示す。また、図4にアレイ基板100、チェック基板106の概略上面図を示す。

【0021】次いで、TFT201上に、層間絶縁膜202を形成し平坦化を行う。層間絶縁膜としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、エポキシ系樹脂膜、BCB（ベンゾシクロブテン）から選ばれた有機樹脂材料または、酸化シリコン膜、酸化窒化シリコン膜または窒化酸化シリコン膜から選ばれた無機絶縁材料を用いることができる。平均膜厚を1.0～2.0μm程度で形成する。

【0022】その後、所望のパターンのレジストマスクを形成し、TFT201のドレイン領域に達するコンタクトホールを形成して、配線204を形成する。配線材料としては、導電性の金属膜としてAlやTiの他、これらの合金材料を用い、スパッタ法や真空蒸着法で成膜した後、所望の形状にパターニングすればよい。

【0023】次いで、発光素子の陽極となる透明導電膜205を形成する。透明導電膜としては、代表的には酸化インジウム・スズ（ITO）または酸化インジウムに2～20%の酸化亜鉛（ZnO）を混合した透明導電膜を用いて形成する。

【0024】続いて、透明導電膜205をエッチングして画素電極206を形成する。次いで、後のバンク（本明細書では、画素電極上に開口部を有し、かつ画素電極端部を覆って設けられた絶縁膜のことをバンクと称する）を形成するための有機絶縁膜を形成し、その表面に帯電防止のために帯電防止膜を形成するとよい。この膜を形成する理由としては、第1に、後に行われる検査工程の際にアレイ基板にゴミが付着するのを防ぐためである。

【0025】第2の理由は、以下の通りである。発光素子の電極材料には、TFTの特性に致命的な打撃を与えかねないAl、Mgといったアルカリ金属材料が用いられている。TFTの活性層にアルカリ金属が混入すると、TFTの電気的な特性が変動してしまい、経時的な信頼性の確保ができなくなってしまう。そこで、TFTの特性を損なわないようにするためには、TFTの作製工程処理室（クリーンルーム）と発光素子の作製工程処理室（クリーンルーム）とを離すことで、TFTの活性層がアルカリ金属によって汚染されないようにしている。そこで、その処理室移動の際に、アレイ基板にゴミが付着するのを防ぐためである。

【0026】以上のような理由により、有機絶縁膜上に帯電防止膜を設ける。なお、本実施形態では、帯電防止

膜は水洗することで除去できる公知の帯電防止材料を用いて形成すればよい。なお、帯電防止膜を形成しなくても、なんらかの帯電防止のための手段を用いればよい。ここまでの工程でのアレイ基板の概略図を図5に示す。

【0027】次いで、アレイ基板上に形成された回路および回路素子の動作確認をするために検査を行う。この検査工程について図1(図22)を用いて説明する。

【0028】アレイ基板には、TFTの作製と同一の工程において、2次コイル104a、整流回路104bおよび波形整形回路104cが形成されている。このアレイ基板上に、チェック基板106を設置する。

【0029】チェック基板は、非接触で(一定の間隔を保って)アレイ基板近傍に平面的に重ねられる基板であり、電源電圧および駆動信号を供給し、かつアレイ基板(TFT基板)の回路または回路素子の動作を電界、電磁界の変化で検出する基板である。

【0030】図3に示すように整流回路104bは、ダイオード601、コンデンサ602および抵抗603からなる。ダイオード601は、入力された交流電圧を整流化して直流電圧に変換する。本実施形態において、アレイ基板上にTFTを形成する工程と同一の工程において整流回路のダイオードを形成するため、図3に示すように公知の方法でTFTをダイオードに代用している。

【0031】ここで、図20(A)に、ダイオード601において整流化される前の、交流の電圧の時間変化を示す。また、図20(B)に、整流化された後の電圧の時間変化を示す。図20(A)のグラフと図20(B)のグラフを比較してわかるように、整流化された後は、半周期毎に、電圧が0または一方の極性を有する値をとる、いわゆる脈流の電圧になっている。

【0032】図20(B)に示した脈流の電圧は、電源電圧として用いることができない。そこで通常では、コンデンサにおいて電荷を蓄えることによって、脈流を平滑化して直流の電圧に変換している。しかし、薄膜の半導体を用いて、脈流を十分に平滑化させることができる、大容量のコンデンサを形成するには、コンデンサ自体の面積が非常に大きくなり、現実的ではない。そこで、本発明では、整流化した後に位相の異なる脈流の電圧を合成(加算)し、電圧を平滑化する。上記構成により、コンデンサの容量が小さくても脈流を十分に平滑化させることができ、さらには、コンデンサを積極的に設けなくとも、脈流を十分に平滑化させることができる。

【0033】なお図3では、4つのダイオード601から出力される、位相の異なる4つの脈流の信号を加算することで、電源電圧を生成していたが、本発明はこの構成に限定されない。位相分割の数はこれに限定されず、整流回路からの出力を、電源電圧として用いることができるくらい平滑化することが可能であれば、位相分割の数は幾つでも良い。

【0034】図21に、複数の整流化された信号を加算

しすることで得られる、電源電圧の時間変化を示す。図21(A)は、4つの位相の異なる脈流の電圧を加算することで、1つの電源電圧が生成されている例を示している。

【0035】なお電源電圧は複数の脈流を加算して生成されるため、直流以外の成分であるリップルが存在している。リップルとは電源電圧の最も高い電圧と最も低い電圧との差を指す。リップルが小さければ小さいほど、電源電圧は直流に近づく。

【0036】図21(B)に、8つの位相の異なる脈流の電圧を加算することで得られる、電源電圧の時間変化を示す。図21(A)に示した電源電圧の時間変化と比較して、リップルが小さくなっていることがわかる。

【0037】図21(C)に、16つの位相の異なる脈流の電圧を加算することで得られる、電源電圧の時間変化を示す。図21(B)に示した電源電圧の時間変化と比較して、リップルが小さくなっていることがわかる。

【0038】このように、多くの位相の互いに異なる脈流を加算することで、電源電圧のリップルが小さくなり、より直流化されることがわかる。よって、位相分割の数が多ければ多いほど、整流回路104bから出力される電源電圧が平滑化されやすい。また、コンデンサ602の容量が大きければ大きいほど、整流回路104bから出力される電源電圧が平滑化されやすい。

【0039】整流回路104bにおいて生成された電源電圧は、端子604a、604bから出力される。具体的には、端子604aからグラウンドに近い電圧が出力され、端子604bからは正の極性を有する電源電圧が出力される。なお、ダイオードの陽極と陰極を逆に接続することで、出力される電源電圧の極性を逆にすることができる。端子にダイオードに対して、陽極と陰極が逆に接続されている場合は、出力の向きは逆になる。

【0040】なお、TFT基板上には様々な回路または回路素子(駆動回路、周辺論理回路等)が形成されており、各回路または回路素子の種類または用途によって、回路または回路素子に供給すべき電源電圧の高さが異なる。図3に示した整流回路104bでは、入力する交流の信号の振幅を調整することで、各端子に入力される電圧の高さを調整することができる。さらに、回路または回路素子によって接続する端子を変えることで、回路または回路素子に供給される電源電圧を変えることができる。

【0041】また、本発明で用いる整流回路104bは、図3に示した構成に限定されない。本発明で用いる整流回路104bは、入力された交流信号から直流の電源電圧を供給することができる回路であれば良い。

【0042】波形整形回路104cは、時間的に変化する量、すなわち電圧や電流等の波形を形成したり、整形したりするために用いる電子回路である。図3では、抵抗606、608、コンデンサ607、609を有し、

各回路素子を組み合わせて波形整形回路104cを構成している。もちろん、波形整形回路は図3に示した構成に限られない。本発明で用いる波形整形回路104cは、入力された交流の起電力から、具体的にはクロック信号(CLK)、スタートパルス信号(SP)、ビデオ信号(Video Signals)を生成し、出力する。なお、波形整形回路104cから出力される信号は上述したものに限定されず、モニターすることで欠陥箇所を特定できる電磁波または電界を、TFT基板が有する回路または回路素子において生じさせることができる信号であれば、どのような波形の信号であっても良い。

【0043】チェック基板106は、トランス1次コイル107、電界の変化により光学特性が変化する材料(ポッケルスセルもしくは液晶)108、および電界の変化により光学特性が変化する材料を挟むように透明導電膜(代表的にはITO)109a、109bが形成されており、透明導電膜109bは接地されている。

【0044】チェック基板106に形成された1次コイル107とアレイ基板に形成された2次コイル104とは、中心に磁性体を設けて磁路としたコイルではなく、チェック基板106とアレイ基板との間隔を近傍に保ち、1次コイルが有する2つの端子間に交流電圧を印加することで2次コイルが有する2つの端子間に起電力を生じさせるものである。

【0045】2次コイルに生じた起電力である交流電圧をアレイ基板に形成された整流回路により整流化し平滑化することでアレイ基板が有する回路または回路素子を駆動させるための直流電圧(以下、電源電圧と称する)として用いることができる。さらに、2次コイルに生じた起電力である交流電圧をアレイ基板に形成された波形整形回路により適当に電圧を信号波形に整形することで、アレイ基板上の回路または回路素子を駆動させるための信号(以下、駆動信号と称する)として用いることができる。

【0046】次に、1次コイル及び2次コイルの詳しい構成について説明する。図23にコイルの拡大図を示す。

【0047】図23(A)に示したコイルは、曲線を描いて渦を巻いた状態になっており、コイルの両端にはコイル用端子が形成されている。また、図23(B)に示したコイルは矩形を描いて渦を巻いた状態になっており、コイルの両端にはコイル用端子が形成されている。

【0048】なお、本発明で用いるコイルは、コイルが有する配線全体が同一平面上に形成され、且つコイルが有する配線が渦を巻いていれば良い。よって、コイルが形成されている平面に対して垂直の方向から見たときに、コイルの有する配線が曲線を描いていても、角のある形を描いていても良い。

【0049】また、コイルの巻数、線幅及び基板上に占める面積は、必要に応じて設計者が適宜設定することが

できる。

【0050】図1に示すとおり、チェック基板106が有する1次コイル形成部と、アレイ基板(TFT基板)100が有する2次コイル形成部104は、一定の間隔を空けて重ねられている。

【0051】1次コイル形成部と2次コイル形成部104とが重なっている部分の拡大図を、図23(C)に示す。図23(C)において、1次コイル107と2次コイル104は、配線の渦の巻く方向が同じになっているが、本発明はこの構成に限定されない。1次コイルと2次コイルの渦の巻く方向が逆であっても良い。

【0052】チェック基板とアレイ基板とが一定の間隔を保つため、本実施形態では、チェック基板に気体を一定の圧力で流入させることで、チェック基板とアレイ基板との間隔を保つ方法を用いる。この間隔は、実施者が適宜決定すればよいが、本実施形態では、10~200 $\mu$ mの間隔とするのが好ましい。また、気体を流入するために、チェック基板には気体を流入させる穴110を複数形成する。

【0053】アレイ基板とチェック基板との間隔を一定に保つために気体以外にも絶縁性の液体を用いることもできる。

【0054】また、検査装置には、駆動電源および駆動信号を入力する装置111、光源(ハロゲンランプ、放電灯等の干渉性を有さない光源を用いればよい)112a、光学系112b、ビデオカメラ113、画像処理装置114が設けられており、TFTに電圧を印加する前に、この光源112からの光を照射してポッケルスセル表面からの光の様子を画像としてビデオカメラ113で捉えて画像処理すればよい。

【0055】チェック基板106が有するアレイ基板(TFT基板)に形成された回路または回路素子の動作情報を検出する手段は、液晶もしくはポッケルスセル108のような電界の変化により光学特性の変化する材料である。チェック基板106において、ポッケルス結晶は第1電極109aと第2電極109bに挟まれている(図22)。

【0056】ポッケルスセルとは、電気光学効果(ポッケルス効果)を有する光学素子であって、電圧をかけると、電気光学的特性が変化するという性質を利用した素子である。この性質を利用し、結晶に交流電圧やパルス電圧を加えて、光の変調やシャッター、円偏光の発生や検出に用いることができる。具体的には、 $\text{NH}_4\text{H}_2\text{PO}_4$ 、 $\text{BaTiO}_3$ 、 $\text{KH}_2\text{PO}_4$ (KHP)、 $\text{KD}_2\text{PO}_4$ (D-KDP)、 $\text{LiNbO}_3$ 、 $\text{ZnTe}$ または $\text{ZnO}$ の結晶体である。

【0057】アレイ基板上の回路または回路素子が駆動して電界が変化し、その電界の変化によりポッケルスセルにおいて複屈折が生じて透過率が異なってみえる。すなわち、正常な回路または回路素子と重なる部分のポッ



ケルスセルに比べて、欠陥のある回路または回路素子と重なる部分のポッケルスセルは、明るく見えたり暗く見えたりする。

【0058】例えば、画素に形成された欠陥が生じていない正常なTFTと欠陥が生じているTFTとでは、光の透過率が異なる。これは、ポッケルスセルが有する強誘電体結晶の光軸に対して垂直になるように素子基板を配置すると、回路または回路素子において生じる電界により、強誘電体結晶において複屈折が生じるためである。

【0059】この複屈折の、電界方向成分をもつ偏光に対する屈折率は、電界の強さによって決まる。よって、同じ構造を有し、なおかつ正常に動作している複数の回路または回路素子においては、同じ強さの電界が生じているため、各回路または回路素子と重なる部分における強誘電体結晶の屈折率は、ほぼ等しくなる。

【0060】しかし、欠陥のある回路または回路素子において生じる電界は、他の正常な回路または回路素子において生じる電界に比べて、強かったり弱かったりする。よって、欠陥のある回路または回路素子と重なる部分における強誘電体結晶の屈折率は、他の正常な回路または回路素子と重なる部分における強誘電体結晶の屈折率と異なる。よって、ポッケルスセルを通して素子基板を見たときに、欠陥のある回路または回路素子と重なる部分が、正常な回路または回路素子と重なる部分に比べて、明るく見えたり、暗く見えたりする。

【0061】例えば、図1に示すように、アレイ基板に対して垂直な方向における光を、偏光ビームスプリッターなどの光学系を用いて分離し、その強度をモニターすることで、ポッケルスセルの透過率を算出し、欠陥箇所を検出することが可能である。なお、複数回にわたるモニターの結果に何らかの演算処理を施し、欠陥箇所を検出するようにしても良い。

【0062】また、検査対象である全ての回路の出力を検査専用回路に入力し、該検査専用回路において生じる電界の強度を、電気光学素子を用いて測定することで、欠陥の有無を特定したり、欠陥箇所そのものを特定したりしても良い。検査専用回路を用いることで、検査対象である全ての回路または回路素子において、いちいちポッケルス・セルを用いてモニターする必要がなくなり、検査工程を簡便化及び迅速化することができる。

【0063】なお、欠陥の検出は画素部に限定されず、どの回路や回路素子においても本検査方法を適用することができる。例えば、ポッケルスセルと、駆動回路や信号線駆動回路を重ね合わせ、屈折率をモニターすることで、同じように欠陥箇所を検出することが可能である。また素子基板上の引きまわし配線において生じる断線やショートなどの欠陥も、同様に検出することが可能である。

【0064】以上のような検査工程により、アレイ基板

上の各TFT基板に対して、製品化の可否を確認する。この後、検査工程前に帯電防止膜を塗布した場合はこの帯電防止膜を除去し、有機絶縁膜をエッチングしてバンク207を形成し、230～350℃で加熱処理を行う。

【0065】次いで、アレイ基板100を分断してTFT基板101とする。アレイ基板上にTFT基板および検査用回路（2次コイル、整流回路および波形整形回路）をどのように形成するかは、実施者が適宜決定すればよいが、図5に示すようにTFT基板と検査工程で用いた2次コイル、整流回路および波形整形回路が駆動回路と電気的かつ物理的な接続を残さないように分断できるようにしておくことが好ましい。

【0066】続いて、上記検査工程において、製品化可能と判断されたTFT基板101の画素電極206上に絶縁膜208、有機化合物層209、陰極210を形成する。製品化できないと判断されたTFT基板は、製造工程からはずし不良解析を行ったり、修復して製品化が可能であれば修復し、再度検査工程に戻してもよい。

【0067】絶縁膜208は、ポリイミド、ポリアミド、アクリル等の有機樹脂絶縁膜をスピンコート法を用いて、1～5nmの膜厚で形成する。有機化合物層209は、発光層の他に正孔注入層として、正孔輸送層、正孔阻止層、電子輸送層、電子注入層およびバッファ層といった複数の層を組み合わせて積層し形成される。有機化合物層209としての膜厚は、10～400nm程度が好ましい。陰極210は、有機化合物層209成膜後に、蒸着法により形成する。陰極210となる材料としては、MgAgやAl-Li合金（アルミニウムとリチウムの合金）の他に、周期表の1族もしくは2族に属する元素とアルミニウムとを共蒸着法により形成した膜を用いても良い。なお、陰極210の膜厚は、80～200nm程度が好ましい。

【0068】以上のようにして、アレイ基板100上に複数形成されたTFT基板101を用いて発光装置を作製することができる。

【0069】なお、本実施形態において、アレイ基板はガラス基板を用いているが、石英基板またはプラスチック基板を用いてもよい。ただし、プラスチック基板を用いる場合は、基板の耐熱温度が低いため、プラスチック基板が耐えうる温度で行える作製プロセスを実施者が適宜決定すればよい。

【0070】なお、チェック基板およびアレイ基板に形成されるコイルの巻き数、線幅、形状および基板上にしめる面積は、実施者が適宜決定することができるが、1次コイルの巻き数に対する2次コイルの巻き数の割合は、1次コイルに印加される電圧が2次コイルに誘導される電圧の割合に反比例することを考慮して設計することが重要である。

【0071】（実施形態2）本実施形態では、TFT基

板の他の検査方法について、図 4、6 を用いて説明する。

【0072】本実施形態において開示する検査方法は、アレイ基板上に形成された T F T 基板の回路および回路素子が動作する際に、電磁波が発生する。この電磁波の強度、周波数、ある時間毎の電磁波の強度、周波数を測定することで T F T 基板の製品化の可否を確認する方法である。

【0073】あらかじめ、良品（製品化可能）と判断された T F T 基板の回路の電磁波の強度、周波数および時間毎の強度、周波数を測定して、T F T 基板の製品化可否の判断の際の比較に用いればよい。

【0074】次いで、アレイ基板に形成された T F T 基板の回路および回路素子に電磁誘導を利用して、電源電圧および駆動信号を供給する。この時の電磁波の強度、周波数および時間毎（あるタイミング毎）の強度と周波数を電磁波の測定可能なアンテナを有するチェック基板を用いて測定する。

【0075】なお、チェック基板には、実施形態 1 と同様に 1 次コイルが形成されており、駆動電源および駆動信号入力装置から 1 次コイルが有する 2 つの端子間に交流電圧を印加すると 2 次コイルが有する 2 つの端子間に起電力が生じる。

【0076】次いで、2 次コイルに生じた起電力である交流電圧をアレイ基板に形成された整流回路により整流化し平滑化することでアレイ基板が有する回路または回路素子を駆動させるための直流電圧（以下、電源電圧と称する）として用いることができる。さらに、2 次コイルに生じた起電力である交流電圧をアレイ基板に形成された波形整形回路により適当に電圧を信号波形に整形することで、アレイ基板上の回路または回路素子を駆動させるための信号（以下、駆動信号と称する）として用いることができる。

【0077】実施形態 1 で説明したように整流回路および波形整形回路により駆動電源および駆動信号が供給されると、T F T 基板に形成された回路および回路素子が動作し、電磁波が発生する。この発生した電磁波の強度、スペクトルおよびタイミング毎の電磁波の強度、スペクトルをチェック基板に設けられたアンテナ 303 で測定する。チェック基板 301 に設けられた電磁波センサー（アンテナともいう）303 は、計測周波数帯域が 1 M H z ~ 1 G H z の公知のセンサー（アンテナ）を用いればよい。また、チェック基板がアレイ基板に接触しないようにするため、さらにアレイ基板上の回路または回路素子が発する電磁波の測定再現性を向上させるために、チェック基板が常にアレイ基板と一定の間隔を保つ必要がある。本実施形態では、チェック基板に気体を一定の圧力で吹き込みチェック基板とアレイ基板との間隔を一定に保っている。この間隔は、実施者が適宜決定すればよいが、本実施形態では、10 ~ 200  $\mu$  m の間隔

としている。気体を吹き込むために、チェック基板には気体を吹き込む穴 110 が複数形成されている。アレイ基板 100 およびチェック基板 301 におけるコイルと端子の関係概略図は図 4 のとおりである。

【0078】アンテナ 303 は、アレイ基板に形成された微細な回路および回路素子から発生する電磁波の強度、周波数等の位置情報を得るのに必要な分解能にするため、チェック基板にアンテナを形成する間隔をなるべく狭くして、より多くの小型アンテナを形成することが好ましい。アンテナを形成する間隔は、画素サイズに合わせて最適な分解能が得られるように実施者が適宜決定すればよい。また、チェック基板とアレイ基板との間隔もなるべく狭く、本実施形態では 100  $\mu$  m 以下で、一定に保つことで分解能を向上させることができる。

【0079】本実施形態で開示する検査方法は、アレイ基板上に形成された回路および回路素子の動作を回路および回路素子が発する電磁波の強度、周波数、および時間毎の電磁波の強度、周波数を一度に測定して確認するため、短時間で T F T 基板の良品確認をすることができる。

【0080】本実施形態で示した検査工程が終了したら、アレイ基板 100 をひとつひとつの T F T 基板 101 に分断した後、製品化可能と判断された T F T 基板上に発光素子を形成して E L ディスプレイを作製したり、T F T 基板と対向基板とを張り合わせて液晶を封入して液晶ディスプレイを作製したりすればよい。

【0081】このような検査工程を作製工程に組み込むことにより、不良画素または不良駆動回路を多数含んだ T F T 基板に関しては、発光素子の形成工程を行わないため、無駄に発光素子形成材料を用いることが無いため、製造コストを低減することができる。

【0082】また、非接触でアレイ基板に駆動電源または駆動信号を送ることができるため、検査工程（または検査工程準備）の際にアレイ基板にゴミが付着して汚染されるという問題も解決することができる。

【0083】

【実施例】（実施例 1）本実施例においては、本発明を用いて作製される発光素子について説明する。なお、ここでは、同一基板上に本発明の発光素子を有する画素部と、画素部の周辺に設ける駆動回路の T F T（n チャネル型 T F T 及び p チャネル型 T F T）と、T F T 基板の駆動を検査するためのトランスの 2 次コイル、整流回路および波形整形回路を同一基板上に作製する方法の一例について図 7 ~ 10 を用いて説明する。

【0084】まず、本実施例ではコーニング社の # 7059 ガラスや # 1737 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板 900 を用いる。なお、基板 900 としては、透光性を有する基板であれば限定されず、石英基板を用いても良い。また、本実施例の処理温

度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

【0085】次いで、図7(A)に示すように、基板900上に酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜から成る下地絶縁膜901を形成する。本実施例では下地絶縁膜901として2層構造を用いるが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。下地絶縁膜901の一層目としては、プラズマCVD法を用い、 $\text{SiH}_4$ 、 $\text{NH}_3$ 、及び $\text{N}_2\text{O}$ を反応ガスとして成膜される酸化窒化珪素膜901aを10~200nm(好ましくは50~100nm)形成する。本実施例では、膜厚50nmの酸化窒化珪素膜901a(組成比 $\text{Si}=32\%$ 、 $\text{O}=27\%$ 、 $\text{N}=24\%$ 、 $\text{H}=17\%$ )を形成した。次いで、下地絶縁膜901の二層目としては、プラズマCVD法を用い、 $\text{SiH}_4$ 、及び $\text{N}_2\text{O}$ を反応ガスとして成膜される酸化窒化珪素膜901bを50~200nm(好ましくは100~150nm)の厚さに積層形成する。本実施例では、膜厚100nmの酸化窒化珪素膜901b(組成比 $\text{Si}=32\%$ 、 $\text{O}=59\%$ 、 $\text{N}=7\%$ 、 $\text{H}=2\%$ )を形成した。

【0086】次いで、下地絶縁膜901上に半導体層902~906を形成する。半導体層906は、整流回路においてTFTを変形させてダイオードを形成するための半導体層である。なお、本明細書中において、チャネル形成領域、後のソース領域、ドレイン領域となるn型不純物を高濃度に添加された領域を含む半導体層を活性層ともいう。半導体層902~906は、非晶質構造を有する半導体膜を公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法等)により成膜した後、公知の結晶化処理(レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等)を行って得られた結晶質半導体膜を所望の形状にパターニングして形成する。この半導体層902~906の厚さは25~80nm(好ましくは30~60nm)の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくは珪素(シリコン)またはシリコンゲルマニウム( $\text{Si}_x\text{Ge}_{1-x}$ ( $x=0.0001\sim0.02$ ))合金などで形成すると良い。本実施例では、プラズマCVD法を用い、55nmの非晶質珪素膜を成膜した後、ニッケルを含む溶液を非晶質珪素膜上に保持させた。この非晶質珪素膜に脱水素化(500℃、1時間)を行った後、熱結晶化(550℃、4時間)を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質珪素膜を形成した。そして、この結晶質珪素膜をフォトリソグラフィ法を用いたパターニング処理によって、半導体層902~906を形成した。

【0087】また、半導体層902~906を形成した後、TFTのしきい値を制御するために、半導体層902~906に微量な不純物元素(ボロンまたはリン)をドーピングしてもよい。

【0088】また、レーザー結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO<sub>4</sub>レーザーを用いることができる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数300Hzとし、レーザーエネルギー密度を100~400mJ/cm<sup>2</sup>(代表的には200~300mJ/cm<sup>2</sup>)とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数30~300kHzとし、レーザーエネルギー密度を300~600mJ/cm<sup>2</sup>(代表的には350~500mJ/cm<sup>2</sup>)とすると良い。そして幅100~1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を50~90%として行えばよい。

【0089】次いで、半導体層902~906を覆うゲート絶縁膜907を形成する。ゲート絶縁膜907はプラズマCVD法またはスパッタ法を用い、厚さを40~150nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により110nmの厚さで酸化窒化珪素膜(組成比 $\text{Si}=32\%$ 、 $\text{O}=59\%$ 、 $\text{N}=7\%$ 、 $\text{H}=2\%$ )で形成した。勿論、ゲート絶縁膜は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0090】また、酸化珪素膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)と $\text{O}_2$ とを混合し、反応圧力40Pa、基板温度300~400℃とし、高周波(13.56MHz)電力密度0.5~0.8W/cm<sup>2</sup>で放電させて形成することができる。このようにして作製される酸化珪素膜は、その後400~500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0091】そして、ゲート絶縁膜907上にゲート電極を形成するための耐熱性導電層908を200~400nm(好ましくは250~350nm)の厚さで形成する。耐熱性導電層908は単層で形成しても良いし、必要に応じて二層あるいは三層といった複数の層から成る積層構造としても良い。耐熱性導電層にはTa、Ti、Wから選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜が含まれる。これらの耐熱性導電層はスパッタ法やCVD法で形成されるものであり、低抵抗化を図るために含有する不純物濃度を低減させることが好ましく、特に酸素濃度に関しては30ppm以下とすると良い。本実施例ではW膜を300nmの厚さで形成する。W膜はWをターゲットとしてスパッタ法で形成しても良いし、6フッ化タングステン(WF<sub>6</sub>)を用いて熱CVD法で形成することもでき

る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は $20\mu\Omega\text{cm}$ 以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9~99.9999%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~ $20\mu\Omega\text{cm}$ を実現することができる。

【0092】一方、耐熱性導電層908にTa膜を用いる場合には、同様にスパッタ法で形成することが可能である。Ta膜はスパッタガスにArを用いる。また、スパッタ時のガス中に適量のXeやKrを加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。 $\alpha$ 相のTa膜の抵抗率は $20\mu\Omega\text{cm}$ 程度でありゲート電極に使用することができるが、 $\beta$ 相のTa膜の抵抗率は $180\mu\Omega\text{cm}$ 程度でありゲート電極とするには不向きであった。TaN膜は $\alpha$ 相に近い結晶構造を持つので、Ta膜の下地にTaN膜を形成すれば $\alpha$ 相のTa膜が容易に得られる。また、図示しないが、耐熱性導電層908の下に2~20nm程度の厚さでリン(P)をドーピングしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、耐熱性導電層908、909中に微量に存在しているアルカリ金属元素が第1の形状のゲート絶縁膜907に拡散するのを防ぐことができる。いずれにしても、耐熱性導電層908は抵抗率を $10\sim50\mu\Omega\text{cm}$ の範囲ですることが好ましい。

【0093】さらに、ゲート電極を形成する他の例として、第1の導電膜としてリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。また、第1の導電膜をタングステン(W)膜で形成し、第2の導電膜をCu膜、第3の導電膜をチタン(Ti)膜とする組み合わせ、第1の導電膜をタンタル(TaN)膜で形成し、第2の導電膜をアルミニウム(Al)膜、第3の導電膜をチタン(Ti)膜とする組み合わせ、第1の導電膜を窒化タンタル(TaN)膜で形成し、第2の導電膜をAl膜とする組み合わせ、第1の導電膜を窒化タンタル(TaN)膜で形成し、第2の導電膜をCu膜、第3の導電膜をチタン(Ti)とする組み合わせとする3層構造のゲート電極を採用してもよい。

【0094】本実施例においては、第1層目の導電層(第1導電膜908)にTaN膜、第2層目の導電層(第2導電膜909)にW膜を形成した(図7(A))。

【0095】次に、フォトリソグラフィーの技術を使用してゲート電極を形成するためのレジストによるマスク

910aおよび2次コイルを形成するためのレジストによるマスク910bを形成する。そして、第1のエッチング処理を行う。第1のエッチング処理は、第1のエッチング条件および第2のエッチング条件で行われる。

【0096】本実施例ではICPエッチング装置を用い、エッチング用ガスに $\text{Cl}_2$ と $\text{CF}_4/\text{O}_2$ を用い、それぞれのガス流量比を25/25/10とし、1Paの圧力で3.2W/ $\text{cm}^2$ のRF(13.56MHz)電力を投入してプラズマを形成して行う。基板側(試料ステージ)にも224mW/ $\text{cm}^2$ のRF(13.56MHz)電力を投入し、これにより実質的に負の自己バイアス電圧が印加される。第1のエッチング条件によりW膜をエッチングする。続いて、レジストからなるマスクを除去せずに第2のエッチング条件に変えてエッチング用ガスに $\text{CF}_4$ および $\text{Cl}_2$ を用いて、それぞれのガス流量比を30/30(SCCM)とし、1Paの圧力でRF(13.56MHz)電力を投入してプラズマを形成して行う。基板側(試料ステージ)にも20WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。

【0097】第1のエッチング処理により第1のテーパ形状を有する導電層911~915が形成される。導電層911~915のテーパの角度は $15\sim30^\circ$ となるように形成される。残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させるオーバーエッチングを施すものとする。W膜に対する酸化窒化シリコン膜(ゲート絶縁膜907)の選択比は2~4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20~50nm程度エッチングされる。

【0098】そして、第1のドーピング処理を行い導電型の不純物元素を半導体層に添加する。ここでは、レジストからなるマスク910を除去せずにn型を付与する不純物元素添加の工程を行う。半導体層902~906の一部に第1のテーパ形状を有する導電膜911~915をマスクとして自己整合的に不純物を添加し、第1のn型不純物領域916~920を形成する。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用い、イオンドープ法により第1のn型不純物領域916~920には $1\times10^{19}\sim1\times10^{21}\text{atoms}/\text{cm}^3$ の濃度範囲でn型を付与する不純物元素が添加される(図7(B))。

【0099】次にレジストからなるマスクを除去せずに第2のエッチング処理を行う。第2のエッチング処理は、第3のエッチング条件および第4のエッチング条件で行う。第2のエッチング処理も第1のエッチング処理と同様にICPエッチング装置により行い、エッチングガスに $\text{CF}_4$ および $\text{Cl}_2$ を用い、それぞれのガス流量比を30/30(SCCM)とし、1Paの圧力でRF(13.

56MHz)電力を投入してプラズマを形成して行く。基板側(試料ステージ)にも20WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。この第3のエッチング条件により、W膜およびTa<sub>2</sub>N膜とも同程度にエッチングされた導電膜921~925が形成される(図7(C))。

【0100】この後、レジストからなるマスクをそのままに第4のエッチング条件に変えて、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>およびO<sub>2</sub>の混合ガスを用い、1Paの圧力でRF電力(13.56MHz)電力を投入してプラズマを形成して行く。基板側(試料ステージ)にも20WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。この第4のエッチング条件でW膜をエッチングして、第2の形状の導電膜926~930を形成する(図7(D))。

【0101】なお、本実施例において2次コイルはゲート電極を形成するためのエッチング処理がすべて終了した後に、渦巻き状のマスクを用いてエッチングして形成すればよい。従って、ゲート電極を形成する領域は、エッチング処理中はマスクで覆っておく。また、渦巻き状のマスクは、2次コイルが外径1mm、内径0.5mmになるように形成しているが、2次コイルの形状は円形の渦巻きに限定されるものではなく、実施者が適宜決定すればよい。また、各TFT基板に形成する2次コイルの数は、TFT基板の駆動電圧にあわせて実施者が適宜決定すればよい。さらに、2次コイルを形成する方法も、本実施例に限定されるものではなく、実施者が決定すればよい。

【0102】次いで、第2のドーピング工程(第2の形状の第1の導電膜926a~930aを介して半導体層にn型不純物元素の添加)を行い、第1のn型不純物領域916~920と接するチャネル形成領域側に第2のn型不純物領域933~937とを形成する。第2のn型不純物領域における不純物濃度は、 $1 \times 10^{14} \sim 1 \times 10^{17}$  atoms/cm<sup>3</sup>となるようにする。この第2のドーピング工程においては、1層目の第2の形状の導電膜926a~930aのテーパ部を介しても半導体層にn型不純物元素が添加されるような条件になっており、本明細書において、1層目の第2の形状の導電膜926a~930aと重なる第2のn型不純物領域をLov(oviはoverlappedの意味で付す)領域、1層目の第2の形状の導電膜926a~930aとは重ならない第2のn型不純物領域をLoff(offはoffsetの意味で付す)ということとする(図8(A))。

【0103】次いで、図8(B)に示すように、後のpチャネル型TFTの活性層(チャネル形成領域およびソース・ドレイン領域となる高濃度に不純物が添加された領域を含めた半導体層)となる半導体層902、905、906に一導電型とは逆の導電型の不純物領域939(939a、939b)、940(940a、940

b)及び933(9323a、933b)を形成する。第2の形状の導電膜926、929、930をマスクとしてp型を付与する不純物元素を添加し、自己整合的に不純物領域を形成する。このとき、後のnチャネル型TFTの活性層となる半導体層903、904は、レジストからなるマスク938a、938bを形成し全面を被覆しておく。ここで形成されるp型不純物領域939、940、941はジボラン(B<sub>2</sub>H<sub>6</sub>)を用いたイオンドーピング法で形成し、p型不純物領域939、940、941のp型を付与する不純物元素の濃度は、 $2 \times 10^{16} \sim 2 \times 10^{17}$  atoms/cm<sup>3</sup>となるようにする。

【0104】p型不純物領域939、940、941には詳細にはn型を付与する不純物元素が含有されているが、これらの不純物領域939、940、941のp型を付与する不純物元素の濃度は、n型を付与する不純物元素の濃度の1.5から3倍となるように添加されることによりp型不純物領域でpチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。

【0105】その後、図8(C)に示すように、第2の形状を有する導電膜926~930およびゲート絶縁膜上に第1の層間絶縁膜942を形成する。第1の層間絶縁膜942は窒化シリコン膜、酸化シリコン膜、酸化窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すればよい。いずれにしても第1の層間絶縁膜942は無機絶縁材料から形成する。第1の層間絶縁膜942の膜厚は100~200nmとする。第1の層間絶縁膜942として酸化シリコン膜を用いる場合には、プラズマCVD法でTEOSとO<sub>2</sub>とを混合し、反応圧力40Pa、基板温度300~400℃とし、高周波(13.56MHz)電力密度0.5~0.8W/cm<sup>2</sup>で放電させて形成することができる。また、第1の層間絶縁膜942として酸化窒化シリコン膜を用いる場合には、プラズマCVD法でSiH<sub>4</sub>、N<sub>2</sub>O、NH<sub>3</sub>から作製される酸化窒化シリコン膜、またはSiH<sub>4</sub>、N<sub>2</sub>Oから作製される酸化窒化シリコン膜で形成すればよい。この場合の作製条件は反応圧力20~200Pa、基板温度300~400℃とし、高周波(60MHz)電力密度0.1~1.0W/cm<sup>2</sup>で形成することができる。また、第1の層間絶縁膜942としてSiH<sub>4</sub>、N<sub>2</sub>O、H<sub>2</sub>から作製される酸化窒化水素化シリコン膜を適用しても良い。窒化シリコン膜も同様にプラズマCVD法でSiH<sub>4</sub>、NH<sub>3</sub>から作製することが可能である。

【0106】そして、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化する工程を行う。この工程はファーンズアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラビッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400~

700℃、代表的には500～600℃で行うものであり、本実施例では550℃で4時間の加熱処理を行った。また、基板900に耐熱温度が低いプラスチック基板を用いる場合にはレーザーアニール法を適用することが好ましい。

【0107】この加熱処理工程において、半導体層を結晶化させる工程で用いた触媒元素（ニッケル）が、ゲッタリング作用を有する周期表の15族に属する元素（本実施例ではリン）が高濃度に添加された第1のn型不純物領域に移動（ゲッタリング）させ、チャネル形成領域における触媒元素の濃度を低減することができる。

【0108】活性化の工程に続いて、雰囲気ガスを変化させ、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の加熱処理を行い、半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層にある $10^{14} \sim 10^{18}/\text{cm}^3$ のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。いずれにしても、半導体層902～906中の欠陥密度を $10^{14}/\text{cm}^3$ 以下とすることが望ましく、そのために水素を0.01～0.1atm程度付与すれば良い。

【0109】そして、有機絶縁物材料からなる第2の層間絶縁膜943を1.0～2.0 $\mu\text{m}$ の平均膜厚で形成する。有機樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。例えば、基板に塗布後、熱重合するタイプのポリイミドを用いる場合には、クリーンオープンで300℃で焼成して形成する。また、アクリルを用いる場合には、2液性のものを用

い、主材と硬化剤を混合した後、スピナーを用いて基板全面に塗布した後、ホットプレートで80℃で60秒の予備加熱を行い、さらにクリーンオープンで250℃で60分焼成して形成することができる。

【0110】このように、第2の層間絶縁膜943を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減できる。しかし、吸湿性があり保護膜としては適さないので、本実施例のように、第1の層間絶縁膜942として形成した酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜などと組み合わせると良い。さらに、本実施例では、第2層間絶縁膜943を有機絶縁物材料で形成したが、無機絶縁材料を用いて形成し、その表面をCMP法等で平坦化して得られる膜を第2層間絶縁膜としてもよい。

【0111】ところで、有機絶縁材料を用いて形成される第2の層間絶縁膜943は、水分やガスを発生してしまう可能性がある。発光素子は水分やガス（酸素）で劣化しやすいことが知られている。実際に層間絶縁膜に有機樹脂絶縁膜を用いて形成された発光装置が使用する際

に発生する熱で、有機樹脂絶縁膜から水分やガスが発生し、発光素子の劣化が起りやすくなってしまうことが考えられる。そこで、有機絶縁材料で形成された第2の層間絶縁膜943上に絶縁膜944を形成する。なお、絶縁膜944は、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜などを用いて形成される。なおここで形成される絶縁膜944はスパッタ法またはプラズマCVD法を用いて形成すればよい。また、絶縁膜944は、コンタクトホールを形成した後から形成してもよい。

【0112】その後、所定のパターンレジストマスクを形成し、それぞれの半導体層に形成されるソース領域またはドレイン領域とする不純物領域に達するコンタクトホールを形成する。コンタクトホールはドライエッチング法で形成する。

【0113】そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、マスクでパターニングし、その後エッチングすることで、配線945～952を形成する。図示していないが、本実施例ではこの配線を、そして、膜厚50nmのTi膜と、膜厚500nmの合金膜（AlとTiとの合金膜）との積層膜で形成した。

【0114】次いで、その上に透明性導電膜を80～120nmの厚さで形成し、エッチングすることによって画素電極（陽極）953を形成する（図9（A））。なお、本実施例では、透明電極として酸化インジウム・スズ（ITO）膜や酸化インジウムに2～20[%]の酸化亜鉛（ZnO）を混合した透明導電膜を用いる。

【0115】また、陽極953は、ドレイン配線950と接して重ねて形成することによって電流制御用TFTのドレイン領域と電気的な接続が形成される。ここで、陽極953に対して180～350℃で加熱処理を行ってもよい。

【0116】次に、図9（B）に示すように、陽極953上に有機絶縁膜954を形成する。

【0117】ここまでの工程でTFTが形成されたアレイ基板が空気中のゴミに汚染されたり、破壊したりしないように有機絶縁膜954上に、帯電防止作用を有する極薄い膜（以下、帯電防止膜という）955を形成する。帯電防止膜955は、水洗で除去可能な公知の材料から形成する（図9（C））。本実施例では、スタティサイド（ACL社製）を塗布して帯電防止膜955を形成した。

【0118】次いで、ここまでの工程で作製されたアレイ基板のTFTの良否（TFT基板の製品化の可否）を判断するための検査を行う。発光素子を形成する材料は高価であるので、商品として出荷できないTFT基板に発光素子を形成してしまうのは、製造コストの面で問題がある。そこで、正常に駆動できないもしくは信号伝達のできないTFT基板を見分けるために検査工程を組み込む。検査方法は、実施形態1もしくは実施形態2に



示したような検査方法を適応すればよい。

【0119】TFT基板を発光素子を形成する処理室（クリーンルーム）に運びこんだら、帯電防止膜955を水洗して除去する。次いで、有機絶縁膜954をエッチングして、画素（発光素子）に対応する位置に開口部を有するバンク956を形成する。本実施例ではレジストを用いてバンク956を形成する。本実施例では、バンク956の厚さを1 $\mu$ m程度とし、配線と陽極とが接する部分を覆う領域がテーパー状になるように形成する（図10（A））。

【0120】なお、本実施例においては、バンク956としてレジストでなる膜を用いているが、場合によっては、ポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）、酸化珪素膜等を用いることもできる。バンク956は絶縁性を有する物質であれば、有機物と無機物のどちらでも良いが、感光性アクリルを用いてバンク956を形成する場合は、感光性アクリル膜をエッチングしてから180～350℃で加熱処理を行うのが好ましい。また、非感光性アクリル膜を用いて形成する場合には、180～350℃で加熱処理を行った後、エッチングしてバンクを形成するのが好ましい。

【0121】次に、陽極表面に拭浄処理を行う。なお、本実施例においては、ベルクリン（小津産業製）を用いて陽極953表面を拭うことにより、陽極953表面の平坦化および表面に付着したゴミの除去を行う。拭浄の際の洗浄液としては、純水を用い、ベルクリンを巻き付けている軸の回転数は100～300rpmとし、押し込み値は0.1～1.0mmとする（図10（A））。

【0122】次いで、バンク956および陽極953を覆って絶縁膜957を形成する。絶縁膜957は、ポリイミド、ポリアミド、ポリイミドアミドなどの有機樹脂膜をスピンコート法、蒸着法またはスパッタ法などを用いて膜厚1～5nmで形成する。この絶縁膜を形成することで、陽極953表面のクラック等を掩蔽することができ、発光素子の劣化を防ぐことができる。

【0123】この後、公知の方法でアレイ基板を複数のTFT基板に分断する。この時、製品化するTFT基板領域より外側に形成してある検査工程で用いたトランス2次コイル、整流回路および波形形成回路を電氣的かつ物理的に分断しておくことが好ましい。なお、本実施例ではトランス2次コイル、整流回路および波形形成回路を製品化するTFT基板領域より外側に形成したが、これらを形成する場所は実施者が適宜決定すればよく、本実施例に限定されない。

【0124】次いで、製品化が可能なTFT基板の絶縁膜957上に有機化合物層958、陰極959を蒸着法により形成する。なお、本実施例では発光素子の陰極としてMgAg電極を用いるが、公知の他の材料であっても良い。なお、有機化合物層949は、発光層の他に正孔注入層、正孔輸送層、電子輸送層、電子注入層及びバ

ッファー層といった複数の層を組み合わせで積層することにより形成されている。本実施例において用いた有機化合物層の構造について以下に詳細に説明する。

【0125】本実施例では、正孔注入層として、銅フタロシアニンを用い、正孔輸送層としては、 $\alpha$ -NPDを用いてそれぞれ蒸着法により形成する。

【0126】次に、発光層が形成されるが、本実施例では発光層に異なる材料を用いることで異なる発光を示す有機化合物層の形成を行う。なお、本実施例では、赤、緑、青色の発光を示す有機化合物層を形成する。また、成膜法としては、いずれも蒸着法を用いているので、成膜時にメタルマスクを用いることにより画素毎に異なる材料を用いて発光層を形成することは可能である。

【0127】赤色に発色する発光層は、Alq<sub>3</sub>にDCMをドーピングしたものを用いて形成する。その他にもN,N'-ジサリチリデン-1,6-ヘキサンジアミナト)ジnk(II)(Zn(salhn))にEu錯体である(1,10-フェナントロリン)トリス(1,3-ジフェニルプロパン-1,3-ジオナト)ユーロビウム(III)(Eu(DBM))、(Phen)をドーピングしたもの等を用いることができるが、その他公知の材料を用いることもできる。

【0128】また、緑色に発色する発光層は、CBPとIr(ppp)を共蒸着法により形成させることができる。なお、この時には、BCPを用いて正孔阻止層を積層しておくことが好ましい。また、この他にもアルミキノリラト錯体(Alq<sub>3</sub>)、ベンゾキノリノラトベリリウム錯体(BeBq)を用いることができる。さらに、キノリラトアルミニウム錯体(Alq<sub>3</sub>)にクマリン6やキナクリドンといった材料をドーパントとして用いたものも可能であるが、その他公知の材料を用いることもできる。

【0129】さらに、青色に発色する発光層は、ジスチリル誘導体であるDPVBiや、アゾメチン化合物を配位子に持つ亜鉛錯体であるN,N'-ジサリチリデン-1,6-ヘキサンジアミナト)ジnk(II)(Zn(salhn))及び4,4'-ビス(2,2-ジフェニル-ビニル)-ビフェニル(DPVBi)にベリレンをドーピングしたものを用いることもできるが、その他の公知の材料を用いても良い。

【0130】次に電子輸送層を形成する。なお、電子輸送層としては、1,3,4-オキサジアゾール誘導体や1,2,4-トリアゾール誘導体(TAZ)といった材料を用いることができるが、本実施例では、1,2,4-トリアゾール誘導体(TAZ)を用いて蒸着法により30～60nmの膜厚で形成する。

【0131】以上により、積層構造からなる有機化合物層が形成される。なお、本実施例における有機化合物層958の膜厚は10～400nm（典型的には60～150nm）、陰極959の厚さは80～200nm（典

型的には100～150nm)とすれば良い。

【0132】有機化合物層を形成した後で、蒸着法により発光素子の陰極959が形成される。本実施例では発光素子の陰極となる導電膜としてMgAgを用いているが、Al-Li合金膜(アルミニウムとリチウムとの合金膜)や、周期表の1族もしくは2族に属する元素とアルミニウムとを共蒸着法により形成された膜を用いることも可能である。

【0133】こうして図6(B)に示すような構造の発光装置が完成する。なお、陽極953、有機化合物層958、陰極959と積層された部分960を発光素子と称する(図10(B))。

【0134】pチャネル型TFT1000及びnチャネル型TFT1001は駆動回路102のTFTであり、CMOSを形成している。スイッチング用TFT1002及び電流制御用TFT1003は画素部103のTFTであり、駆動回路102のTFTと画素部103のTFTとは同一基板上に形成することができる。

【0135】なお、発光素子を用いた発光装置の場合、駆動回路の電源の電圧が5～6V程度、最大でも10V程度で十分なので、TFTにおいてホットエレクトロンによる劣化は、あまり問題にならない。

【0136】なお、本実施例では発光装置のTFT基板(TFT素子基板)に検査工程で用いるトランスの2次コイルを形成する一例を示しているが、発光装置に限らず、液晶表示装置等、半導体素子からなる半導体装置の素子基板上に本発明を適用するためのトランスの2次コイルを作り込むことが可能である。

【0137】(実施例3) 実施例1に従い、第2の層間絶縁膜943まで形成する。次いで、実施例1における絶縁膜944を形成するかわりに、第2の層間絶縁膜にプラズマ処理を行って第2の層間絶縁膜935表面を改質させる方法について図11～13で説明する。

【0138】例えば、第2の層間絶縁膜943を水素、窒素、炭化水素、ハロゲン化炭素、弗化水素または希ガス(Ar、He、Ne等)から選ばれた一種または複数種の気体中でプラズマ処理することにより第2の層間絶縁膜943の表面に新たな被膜を形成したり、表面に存在する官能基の種類を変更させたりして、第2の層間絶縁膜943の表面改質を行うことができる。第2の層間絶縁膜943表面には、図11に示すように緻密化された膜943Bが形成される。本明細書において、この膜を硬化膜943Bと称する。これにより、有機樹脂膜からガスや水分が放出されるのを防ぐことができる。

【0139】さらに、本実施例のように表面改質を行った後、陽極(ITO)を形成するため、熱膨張率の異なる材料が直接接した状態で加熱処理されることがなくなる。したがって、ITOのクラック(亀裂)等の発生を防ぐことができ、発光素子の劣化を防止することもできる。なお、第2の層間絶縁膜943のプラズマ処理化

は、コンタクトホールを形成する前、後どちらでもよい。

【0140】なお、硬化膜943Bは、有機絶縁材料からなる第2の層間絶縁膜943の表面を水素、窒素、炭化水素、ハロゲン化炭素、弗化水素または希ガス(Ar、He、Ne等)から選ばれた一種または複数種の気体中でプラズマ処理することにより形成される。従って、硬化膜943B中には、水素、窒素、炭化水素、ハロゲン化炭素、弗化水素または希ガス(Ar、He、Ne等)の気体元素が含まれていると考えられる。

【0141】また、その他の例として図12に示すように実施例1に従い、第2の層間絶縁膜943まで形成した後、第2の層間絶縁膜943上に、絶縁膜944として、DLC膜943Cを形成してもよい。

【0142】DLC膜の特徴としては、1550cm<sup>-1</sup>あたりに非対称のピークを有し、1300cm<sup>-1</sup>あたりに肩をもつラマンスペクトル分布を有する。また、微小硬度計で測定した時に15～25GPaの硬度を示すほか、耐薬品性に優れるという特徴をもつ。さらに、DLC膜はCVD法もしくはスパッタ法にて成膜可能であり、室温から100℃以下の温度範囲で成膜できる。成膜方法はスパッタリング法、ECRプラズマCVD法、高周波プラズマCVD法またはイオンビーム蒸着法といった方法を用いれば良く、膜厚5～50nm程度に形成すればよい。

【0143】また、その他の例として図13に示すように実施例1に従い、第2の層間絶縁膜943まで形成した後、第2の層間絶縁膜943表面にプラズマ処理を行い表面改質をして硬化膜943Bを形成した後、硬化膜943B上にDLC膜943Cを形成してもよい。なお、DLC膜943Cは、成膜方法はスパッタリング法、ECRプラズマCVD法、高周波プラズマCVD法またはイオンビーム蒸着法といった方法を用いて、5～50nm程度の膜厚で形成すればよい。

【0144】(実施例5) 実施例1の工程に従い、バンク956を形成した後、バンク956表面をプラズマ処理することでバンク956の表面改質を行う例について図14を用いて説明する。

【0145】バンク956は、有機樹脂絶縁膜を用いて形成しているが、水分やガスを発生してしまい、実際に発光装置を使用した際に生じる熱により水分やガスの発生しやすくなってしまうという問題がある。

【0146】そこで、加熱処理を行った後、図14に示すようにバンク956の表面改質を行うためにプラズマ処理を行う。水素、窒素、ハロゲン化炭素、弗化水素または希ガスから選ばれた一種または複数種の気体中でプラズマ処理を行う。

【0147】これにより、バンク956表面が緻密化し、水素、窒素、ハロゲン化炭素、弗化水素または希ガスから選ばれた一種または複数種の気体元素を含む硬化



膜が形成され、内部から水分やガス（酸素）が発生するのを防ぐことができ、発光素子の劣化を防ぐことができる。

【0148】なお、本実施例は、実施例1～実施例4のいずれとも組み合わせて用いることができる。

【0149】（実施例4）本発明は、TFTの形状に限定されることなく適応することが可能である。本実施例では、TFTにボトムゲート型TFTを形成した発光装置の作製方法について図15、16を用いて説明する。

【0150】アレイ基板50上に、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜から選ばれた材料で下地絶縁膜51を形成し、ゲート電極を形成するためにTa、Ti、W、Mo、CrまたはAlから選ばれた元素またはいずれかの元素を主成分とする導電膜を形成し、所望の形状にパターニングしてゲート電極52を得る。次いで、ゲート絶縁膜は、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜の単層、もしくはいずれかの膜の積層構造からなるゲート絶縁膜53を形成する。続いて、非晶質半導体膜として公知の方法で非晶質シリコン膜を10～1150nm厚に形成する。なお、ゲート絶縁膜53と非晶質シリコン膜とは、同じ成膜法で形成することが可能であるため、両者を連続形成してもよい。連続形成することで、一旦大気に曝することがなくなり、表面の汚染を防ぐことができ、作製するTFTの特性バラツキやしきい値電圧の変動を低減することができる。

【0151】次いで、結晶化のための処理を行い、結晶質半導体膜54を得る。結晶化工程は、レーザ照射による方法、加熱処理による方法のいずれかまたは組み合わせて行ってもよい。結晶化工程が終わったら、後の不純物添加工程において結晶質シリコン膜（チャネル形成領域）を保護する絶縁膜（図示せず）を100～400nm厚で形成する。この絶縁膜は、不純物元素を添加する時に結晶質シリコン膜が直接プラズマに曝されないようにするためと、さらに、微妙な濃度制御を可能にするために形成される。

【0152】次いで、レジストからなるマスクを用いて、後のTFTの活性層となる結晶質シリコン膜にn型不純物元素を添加してTFTのソース領域およびドレイン領域55を形成する。

【0153】次いで、結晶質シリコン膜に添加された不純物元素を活性化する工程を行う。なお、結晶化処理を触媒元素を用いて行った場合は、活性化と同一工程においてシリコン膜に塗布した触媒元素の捕獲（ゲッターリング）も行うことができる。加熱処理の際の雰囲気として、ロータリーポンプやメカニカルブースターポンプにより排気を行って、減圧の雰囲気としてもよい。

【0154】次いで、結晶質シリコン膜上の絶縁膜を除去し、結晶質シリコン膜を所望の形状にパターニングした後、絶縁膜56を形成する。絶縁膜は、酸化シリコン

膜、窒化シリコン膜、酸化窒化シリコン膜等の無機絶縁膜または、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、エポキシ系樹脂膜、BCB（ベンゾシクロブテン）から選ばれた有機樹脂材料を用いて形成する。

【0155】その後、それぞれのTFTのソース領域またはドレイン領域に達するコンタクトホールを形成して、各TFTを電氣的に接続するための配線57をアルミニウムまたはアルミニウムを主成分とする導電膜で形成する。続いて、配線58を覆って層間絶縁膜58を形成する。層間絶縁膜は、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜等の無機絶縁膜または、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、エポキシ系樹脂膜、BCB（ベンゾシクロブテン）から選ばれた有機樹脂材料を用いて形成すればよい。

【0156】次いで、発光素子の陽極となる画素電極59を導電膜を用いて形成する。導電膜としては、クロム、モリブデン、タングステン、タンタルまたはニオブから選ばれた金属を用いればよい（図15（A））。

【0157】続いて、後のバンク（本明細書では、画素電極上に開口部を有し、かつ画素電極端部を覆って設けられた絶縁膜のことをバンクと称する）を形成するための有機絶縁膜60を形成し（図15（B））、その表面に帯電防止のために帯電防止膜61を形成するとよい。これは、この後の検査工程の際にTFT基板にゴミが付着するのを防ぐために設けている。

【0158】次いで、アレイ基板上に形成されたTFTの動作を検査して製品化可能であるか確認するための検査工程を行う。検査方法としては、実施形態1または実施形態2に示した方法を用いればよい。

【0159】検査工程終了後、帯電防止膜61を水洗等により除去し、有機絶縁膜60をエッチングしてバンク62を形成する（図15（C））。

【0160】次いで、上記検査工程において、製品化可能と判断されたTFT基板上に有機化合物層63、陰極64を形成する。

【0161】有機化合物層63は、発光層の他に正孔注入層として、正孔輸送層、正孔阻止層、電子輸送層、電子注入層およびバッファ層といった複数の層を組み合わせで積層し形成される。有機化合物層63としての膜厚は、10～400nm程度が好ましい（図16（A））。

【0162】有機化合物層63成膜後に、陰極64を形成する。陰極64は、MgAgやAl-Li合金（アルミニウムとリチウムの合金）を用いて極薄く（20nm以下）1層目の陰極64aを成膜し、さらに重ねて、透明導電膜64bを80～200nm程度に成膜した2層構造とした（図16（B））。

【0163】次いで、バンク62および陰極64を覆って保護膜65を形成した。保護膜としては、Arを含むように成膜されたDLC（Diamond Like Carbon）膜、

酸化シリコン膜、窒化シリコン膜のいずれかを用いて形成すればよい(図16(C))。

【0164】以上のようにして、アレイ基板上に複数形成されたTFT基板を用いて発光装置を作製することができる。

【0165】(実施例5)本実施例では、TFTの活性層となる半導体膜を触媒元素を用いて結晶化させ、その後、得られた結晶質半導体膜の触媒元素濃度を低減させる方法について説明する。

【0166】図17(a)において、基板1100は、好ましくはバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラス、或いは石英などを用いることができる。基板100の表面には、下地絶縁膜1101として無機絶縁膜を10~200nmの厚さで形成する。好適な下地絶縁膜の一例は、プラズマCVD法で作製される酸化窒化シリコン膜であり、 $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2\text{O}$ から作製される第1酸化窒化シリコン膜を50nmの厚さに形成し、次いで、 $\text{SiH}_4$ と $\text{N}_2\text{O}$ から作製される第2酸化窒化シリコン膜を100nmの厚さに形成したものを適用する。下地絶縁膜1101はアレイ基板に含まれるアルカリ金属がこの上層に形成する半導体膜中に拡散しないために設けるものであり、石英を基板とする場合には省略することも可能である。

【0167】次いで、下地絶縁膜1101上に、窒化珪素膜1102を形成する。この窒化珪素膜1102は、後の半導体膜の結晶化工程において用いる触媒元素(代表的にはニッケル)が、下地絶縁膜1101に染みつくのを防ぐため、さらに下地絶縁膜1101に含まれる酸素が悪影響を及ぼすのを防ぐのを目的に形成される。なお、窒化珪素膜1102は、プラズマCVD法で、1~5nmの膜厚で形成すればよい。

【0168】次いで、窒化珪素膜1102上に非晶質半導体膜1103を形成する。非晶質半導体膜1102は、シリコンを主成分とする半導体材料を用いる。代表的には、非晶質シリコン膜又は非晶質シリコンゲルマニウム膜などが適用され、プラズマCVD法や減圧CVD法、或いはスパッタ法で10~100nmの厚さに形成する。良質な結晶を得るためには、非晶質半導体膜1103に含まれる酸素、窒素などの不純物濃度を $5 \times 10^{11}/\text{cm}^3$ 以下に低減させておくことが良い。これらの不純物は非晶質半導体の結晶化を妨害する要因となり、また結晶化後においても捕獲中心や再結合中心の密度を増加させる要因となる。そのために、高純度の材料ガスを用いることはもとより、反応室内の鏡面処理(電界研磨処理)やオイルフリーの真空排気系を備えた超高真空対応のCVD装置を用いることが望ましい。なお、下地絶縁膜1101から非晶質半導体膜1103までは、大気解放せずに連続成膜することができる。

【0169】その後、非晶質シリコン膜1103の表面に、結晶化を促進する触媒作用のある金属元素を添加す

る(図17(b))。半導体膜の結晶化を促進する触媒作用のある金属元素としては鉄(Fe)、ニッケル(Ni)、コバルト(Co)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスミウム(Os)、イリジウム(Ir)、白金(Pt)、銅(Cu)、金(Au)などであり、これらから選ばれた一種または複数種を用いることができる。代表的にはニッケルを用い、重量換算で1~100ppmのニッケルを含む酢酸ニッケル塩溶液をスピナーで塗布して触媒含有層1104を形成する。この場合、当該溶液の馴染みをよくするために、非晶質シリコン膜1103の表面処理として、オゾン含有水溶液で極薄い酸化膜を形成し、その酸化膜をフッ酸と過酸化水素水の混合液でエッチングして清浄な表面を形成した後、再度オゾン含有水溶液で処理して極薄い酸化膜を形成しておく。シリコンなど半導体膜の表面は本来疎水性なので、このように酸化膜を形成しておくことにより酢酸ニッケル塩溶液を均一に塗布することができる。

【0170】勿論、触媒含有層1104はこのように方法に限定されず、スパッタ法、蒸着法、プラズマ処理などにより形成しても良い。

【0171】非晶質シリコン膜1103と触媒元素含有層1104とを接触した状態を保持したまま結晶化のための加熱処理を行う。加熱処理の方法としては、電熱炉を用いるファーンズアニール法や、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどを用いた瞬間熱アニール(Rapid Thermal Annealing)法(以下、RTA法と記す)を採用する。

【0172】RTA法で行う場合には、加熱用のランプ光源を1~60秒、好ましくは30~60秒点灯させ、それを1~10回、好ましくは2~6回繰り返す。ランプ光源の発光強度は任意なものとするが、半導体膜が瞬間的には600~1000℃、好ましくは650~750℃程度にまで加熱されるようにする。このような高温になったとしても、半導体膜が瞬間的に加熱されるのみであり、基板1100はそれ自身が歪んで変形することはない。こうして、非晶質半導体膜を結晶化させ、図17(c)に示す結晶質シリコン膜1105を得ることができるが、このような処理で結晶化できるのは触媒元素含有層を設けることによりはじめて達成できるものである。

【0173】その他の方法としてファーンズアニール法を用いる場合には、加熱処理に先立ち、500℃にて1時間程度の加熱処理を行い、非晶質シリコン膜1103が含有する水素を放出させておく。そして、電熱炉を用いて窒素雰囲気中にて550~600℃、好ましくは580℃で4時間の加熱処理を行い非晶質シリコン膜1103を結晶化させる。こうして、図17(c)に示す結晶質シリコン膜1105を形成する。

【0174】さらに結晶化率（膜の全体積における結晶成分の割合）を高め、結晶粒内に残される欠陥を補修するためには、結晶質シリコン膜1105に対してレーザ光を照射することも有効である。

【0175】このようにして得られる結晶質シリコン膜1105には、触媒元素（ここではニッケル）が平均的な濃度とすれば、 $1 \times 10^{11}/\text{cm}^3$ を越える濃度で残存している。触媒元素が残留していると、TFTの特性に悪影響を及ぼす可能性があるため、半導体層の触媒元素濃度を低減させる必要がある。そこで、結晶化工程に続いて、半導体層の触媒元素濃度を低減させる方法について説明する。

【0176】まず、図17（d）に示すように結晶質シリコン膜1105の表面に薄い層1106を形成する。本明細書において、結晶質シリコン膜1105上に設けた薄い層1106は、後にゲッターリングサイトを除去する際に、結晶質シリコン膜1105がエッチングされないように設けた層で、バリア層1106ということにする。

【0177】バリア層1106の厚さは1～10nm程度とし、簡便にはオゾン水で処理することにより形成されるケミカルオキシドをバリア層としても良い。また、硫酸、塩酸、硝酸などと過酸化水素水を混合させた水溶液で処理しても同様にケミカルオキシドを形成することができる。他の方法としては、酸化雰囲気中でのプラズマ処理や、酸素含有雰囲気中での紫外線照射によりオゾンを生じさせて酸化処理を行っても良い。また、クリーンオープンを用い、200～350℃程度に加熱して薄い酸化膜を形成しバリア層としても良い。或いは、プラズマCVD法やスパッタ法、蒸着法などで1～5nm程度の酸化膜を堆積してバリア層としても良い。いずれにしても、ゲッターリング工程時に、触媒元素がゲッターリングサイト側に移動できて、ゲッターリングサイトの除去工程時には、エッチング液がしみこまない（結晶性シリコン膜1105をエッチング液から保護する）膜、例えば、オゾン水で処理することにより形成されるケミカルオキシド膜、酸化シリコン膜（SiO<sub>2</sub>）、または多孔質膜を用いればよい。

【0178】次いで、バリア層1106上にスパッタ法でゲッターリングサイト1107として、膜中に希ガス元素を $1 \times 10^{11}/\text{cm}^3$ 以上の濃度で含む第2の半導体膜（代表的には、非晶質シリコン膜）を25～250nmの厚さで形成する。後に除去されるゲッターリングサイト1107は結晶質シリコン膜1105とエッチングの選択比を大きくするため、密度の低い膜を形成することが好ましい。

【0179】なお本実施例では、成膜圧力を0.2～1.2Paまで0.2Pa間隔でふって順に成膜し、成膜された膜中のArの濃度を測定した結果を図9に示す。圧力以外の成膜条件は、ガス（Ar）流量を50

（sccm）、成膜パワーを3kW、基板温度を150℃としている。

【0180】なお、希ガス元素は半導体膜中でそれ自体は不活性であるため、結晶質シリコン膜1105に悪影響を及ぼすことはない。また、希ガス元素としてはヘリウム（He）、ネオン（Ne）、アルゴン（Ar）、クリプトン（Kr）、キセノン（Xe）から選ばれた一種または複数種を用いる。本発明はゲッターリングサイトを形成するためにこれら希ガス元素をイオンソースとして用いること、またこれら元素が含まれた半導体膜を形成し、この膜をゲッターリングサイトとすることに特徴を有する。

【0181】ゲッターリングを確実に成し遂げるにはその後加熱処理をすることが必要となる。加熱処理はファーンズアニール法やRTA法で行う。ファーンズアニール法で行う場合には、窒素雰囲気中にて450～600℃で0.5～12時間の加熱処理を行う。また、RTA法を用いる場合には、加熱用のランプ光源を1～60秒、好ましくは30～60秒点灯させ、それを1～10回、好ましくは2～6回繰り返す。ランプ光源の発光強度は任意なものとするが、半導体膜が瞬間的には600～1000℃、好ましくは700～750℃程度にまで加熱されるようにする。

【0182】ゲッターリングは、被ゲッターリング領域（捕獲サイト）にある触媒元素が熱エネルギーにより放出され、拡散によりゲッターリングサイトに移動する。従って、ゲッターリングは処理温度に依存し、より高温であるほど短時間でゲッターリングが進むことになる。本発明において、触媒元素がゲッターリングの際に移動する距離は、半導体膜の厚さ程度の距離であり、比較的短時間でゲッターリングを完遂することができる（図17（e））。

【0183】なお、この加熱処理によっても $1 \times 10^{11}/\text{cm}^3 \sim 1 \times 10^{12}/\text{cm}^3$ 、好ましくは $1 \times 10^{11}/\text{cm}^3 \sim 1 \times 10^{12}/\text{cm}^3$ 、より好ましくは $5 \times 10^{11}/\text{cm}^3$ の濃度で希ガス元素を含む半導体膜1107は結晶化することはない。これは、希ガス元素が上記処理温度の範囲においても再放出されず膜中に残存して、半導体膜の結晶化を阻害するためであると考えられる。

【0184】ゲッターリング工程終了後、ゲッターリングサイト1107を選択的にエッチングして除去する。エッチングの方法としては、ClF<sub>3</sub>によるプラズマを用いないドライエッチング、或いはヒドラジンや、テトラエチルアンモニウムハイドロオキシド（化学式（C<sub>2</sub>H<sub>5</sub>）<sub>4</sub>NOH）を含む水溶液などアルカリ溶液によるウェットエッチングで行うことができる。この時バリア層1106はエッチングストッパーとして機能する。また、バリア層1106はその後フッ酸により除去すれば良い。

【0185】こうして図17（f）に示すように触媒元

素の濃度が  $1 \times 10^{17}/\text{cm}^3$  以下にまで低減された結晶質シリコン膜 1108 を得ることができる。こうして形成された結晶質シリコン膜 1108 は、触媒元素の作用により細い棒状又は細い扁平棒状結晶として形成され、その各々の結晶は巨視的に見ればある特定の方向性をもって成長している。

【0186】本実施例は、実施形態 1~2、実施例 1~5 に組み合わせて用いることができる。

【0187】(実施例 6) 本実施例では、実施例 1~実施例 6 の作製工程を組み合わせて図 6 (B) に示した状態まで作製した発光パネルを発光装置として完成させる方法について図 9 を用いて詳細に説明する。

【0188】図 9 (A) は、TFT 基板を封止した発光パネルの上面図、図 9 (B) は図 9 (A) を A-A' で切断した断面図である。点線で示された 801 はソース側駆動回路、802 は画素部、803 はゲート側駆動回路である。また、804 は封止基板、805 はシール剤であり、シール剤 805 で囲まれた内側は、空間 807 になっている。

【0189】なお、ソース側駆動回路 801 及びゲート側駆動回路 803 に入力される信号を伝送するための配線 (図示せず) により、外部入力端子となる FPC (フレキシブルプリントサーキット) 809 からビデオ信号やクロック信号を受け取る。なお、ここでは発光パネルに FPC が接続された状態を示しているが、FPC を介して IC (集積回路) が直接実装されたモジュールを本明細書中では、発光装置とよぶ。

【0190】次に、断面構造について図 9 (B) を用いて説明する。基板 810 の上方には画素部 802、ゲート側駆動回路 803 が形成されており、画素部 802 は電流制御用 TFT 811 とそのドレインに電気的に接続された陽極 812 を含む複数の画素により形成される。また、ゲート側駆動回路 803 は n チャンネル型 TFT 813 と p チャンネル型 TFT 814 とを組み合わせた CMOS 回路を用いて形成される。

【0191】また、陽極 812 の両端にバンク 815 が形成された後、陽極 812 上に絶縁膜 821、有機化合物層 816 および陰極 817 が形成され、発光素子 818 が形成される。

【0192】なお、陰極 817 は全画素に共通の配線として機能し、接続配線 808 を経由して FPC 809 に電気的に接続されている。

【0193】なお、シール剤 805 によりガラスからなる封止基板 804 が貼り合わされている。なお、シール剤 805 としては紫外線硬化樹脂や熱硬化性樹脂を用いるのが好ましい。また、必要に応じて封止基板 804 と発光素子 818 との間隔を確保するために樹脂膜からなるスペーサを設けても良い。シール剤 805 の内側の空間 807 には窒素や希ガス等の不活性ガスが充填されている。また、シール剤 805 はできるだけ水分や酸素を

透過しない材料であることが望ましい。

【0194】以上のような構造で発光素子を空間 807 に封入することにより、発光素子を外部から完全に遮断することができ、外部から侵入する水分や酸素による発光素子の劣化を防ぐことができる。従って、信頼性の高い発光装置を得ることができる。

【0195】なお、本実施例における構成は、実施形態 1~2、実施例 1~5 の構成を組み合わせて実施することが可能である。

【0196】(実施例 7) ここで、本発明を用いて形成される発光装置の画素部のさらに詳細な上面構造を図 10 (A) に、回路図を図 10 (B) に示す。図 10 において、基板上に設けられたスイッチング用 TFT 704 は図 6 のスイッチング用 (n チャンネル型) TFT 1002 を用いて形成される。従って、構造の説明はスイッチング用 (n チャンネル型) TFT 1002 の説明を参照すれば良い。また、703 で示される配線は、スイッチング用 TFT 704 のゲート電極 704a、704b を電気的に接続するゲート配線である。

【0197】なお、本実施例ではチャンネル形成領域が二つ形成されるダブルゲート構造としているが、チャンネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0198】また、スイッチング用 TFT 704 のソースはソース配線 715 に接続され、ドレインはドレイン配線 705 に接続される。また、ドレイン配線 705 は電流制御用 TFT 706 のゲート電極 707 に電気的に接続される。なお、電流制御用 TFT 706 は図 6 の電流制御用 (p チャンネル型) TFT 1003 を用いて形成される。従って、構造の説明は電流制御用 (p チャンネル型) TFT 1003 の説明を参照すれば良い。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0199】また、電流制御用 TFT 706 のソースは電流供給線 716 に電気的に接続され、ドレインはドレイン配線 717 に電気的に接続される。また、ドレイン配線 717 は点線で示される陽極 (画素電極) 718 に電気的に接続される。

【0200】このとき、719 で示される領域には保持容量 (コンデンサ) が形成される。コンデンサ 719 は、電流供給線 716 と電気的に接続された半導体膜 720、ゲート絶縁膜と同一層の絶縁膜 (図示せず) 及びゲート電極 707 との間で形成される。また、ゲート電極 707、第 1 層間絶縁膜と同一の層 (図示せず) 及び電流供給線 716 で形成される容量も保持容量として用いることが可能である。

【0201】なお、本実施例の構成は、実施形態 1~2、実施例 1~5 の構成を組み合わせて実施することが可能である。

【0202】(実施例 8)

【0203】本発明を用いて作製された発光装置を表示部に用いた電気器具として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンボ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはデジタルビデオディスク（DVD）等の記録媒体を再生し、その画像を表示しうる表示装置を備えた装置）などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光素子を有する発光装置を用いることが好ましい。それら電気器具の具体例を図11に示す。

【0204】図11（A）は表示装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明により作製した発光装置は、表示部2003に用いることができる。発光素子を有する発光装置は自発光型であるためバックライトが必要なく、液晶表示装置よりも薄い表示部とすることができる。なお、表示装置は、パソコン用、TV放送受信、広告表示用などの全ての情報表示用表示装置が含まれる。

【0205】図11（B）はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明により作製した発光装置は表示部2102に用いることができる。

【0206】図11（C）はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明により作製した発光装置は表示部2203に用いることができる。

【0207】図11（D）はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明により作製した発光装置は表示部2302に用いることができる。

【0208】図11（E）は記録媒体を備えた携帯型の画像再生装置（具体的にはDVD再生装置）であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体（DVD等）読み込み部2405、操作キー2406、スピーカー部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示するが、本発明により作製した発光装置はこれら表示部A、B2403、2404に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0209】図11（F）はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体2501、表示部2502、アーム部2503を含む。本発明により作製した発光装置は表示部2502に用いることができる。

【0210】図11（G）はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609等を含む。本発明により作製した発光装置は表示部2602に用いることができる。

【0211】ここで図11（H）は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明により作製した発光装置は、表示部2703に用いることができる。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0212】なお、将来的に有機材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0213】また、上記電気器具はインターネットやCATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。有機材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【0214】また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが好ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが好ましい。

【0215】以上の様に、本発明を用いて作製された発光装置の適用範囲は極めて広く、あらゆる分野の電気器具に用いることが可能である。また、本実施例の電気器具は実施形態1～2、実施例1～6に示した発光装置をその表示部に用いることができる。

【0216】

【発明の効果】本発明は、発光素子を有する発光装置（ELディスプレイ）だけでなく、液晶表示装置等、半導体特性を用いた半導体素子、例えばトランジスタ、特に電界効果型トランジスタ、代表的にはMOS（Metal Oxide Semiconductor）トランジスタや薄膜トランジスタ（Thin film transistor: TFT）といった半導体素子を用いた電気器具すべてに適用するが可能な検査装置および検査方法を用いた検査工程を含んでいる。

【0217】本発明の半導体装置の作製方法に含まれる

検査工程では、TFT基板に非接触で駆動電源および駆動信号を供給することができるため、従来の接触式の検査方法で問題になっているTFT基板へのゴミの付着や、検査装置によるTFT基板の損傷等の問題を回避することができる。

【0218】さらに、本発明に含まれる検査工程で用いるアレイ基板上の2次コイル、整流回路および波形整形回路は、TFTの作製工程にならって形成すればよく、TFT基板の作製工程において工程数を増やす必要がない。

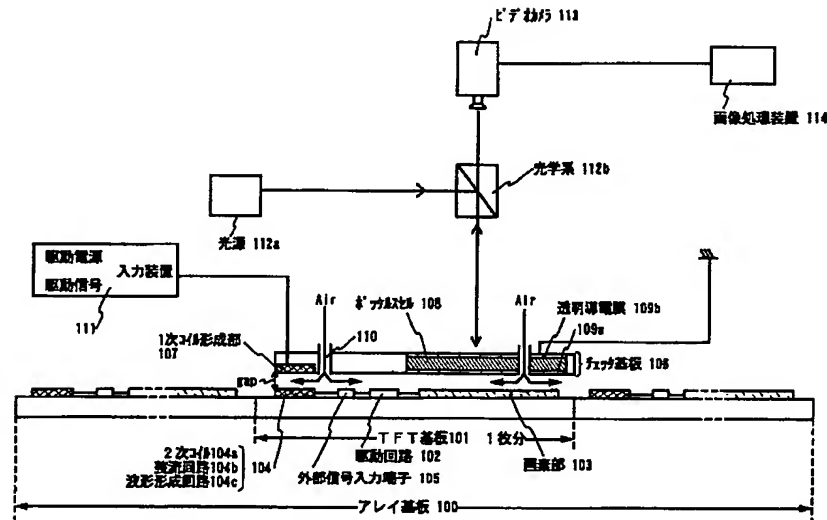
【0219】特に、ELディスプレイを作製する場合は、TFT基板の良否を判断してから発光素子の作製をすればよいため、製品化できないTFT基板に高価な材料を用いて発光素子を形成する必要がなくなり、無駄を省くことができ、製造コストを低減することができる。

【図面の簡単な説明】

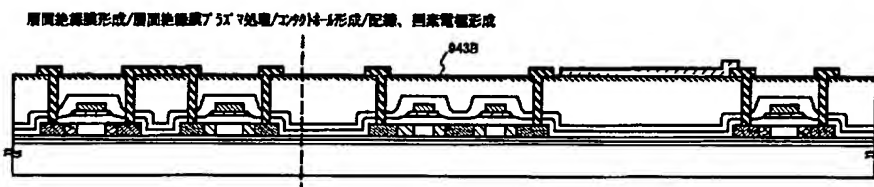
- 【図1】 チェック基板とアレイ基板の関係を示す図。  
 【図2】 発光装置の作製工程の簡略図。  
 【図3】 整流回路および波形整形回路の回路図。  
 【図4】 チェック基板およびアレイ基板の概略を示す図。  
 【図5】 アレイ基板とTFT基板の関係を示す図。  
 【図6】 チェック基板とアレイ基板の関係図。

- 【図7】 本発明の実施の一例を示す図。  
 【図8】 本発明の実施の一例を示す図。  
 【図9】 本発明の実施の一例を示す図。  
 【図10】 本発明の実施の一例を示す図。  
 【図11】 本発明の実施の一例を示す図。  
 【図12】 本発明の実施の一例を示す図。  
 【図13】 本発明の実施の一例を示す図。  
 【図14】 本発明の実施の一例を示す図。  
 【図15】 本発明の実施の一例を示す図。  
 【図16】 本発明の実施の一例を示す図。  
 【図17】 本発明の実施の一例を示す図。  
 【図18】 本発明の実施の一例を示す図。  
 【図19】 本発明を用いて作製された発光装置を表示部に用いた電気器具を示す図。  
 【図20】 交流から整流化されて脈流となった信号の経時変化。  
 【図21】 脈流の加算により生成された直流の信号の経時変化。  
 【図22】 検査時のアレイ基板とチェック基板を示す斜視図。  
 【図23】 コイルを拡大して示した図。  
 【図24】 本発明の実施の一例を示す図。

【図1】

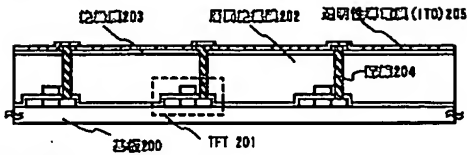


【図11】

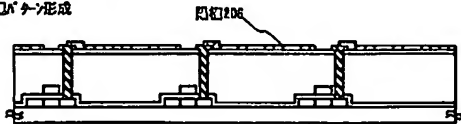


【圖 2】

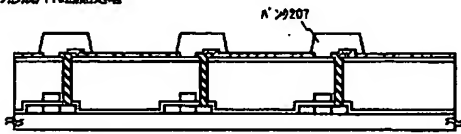
(A) TFI、RNA 聚合酶、RNA 聚合酶、RNA 聚合酶、RNA 聚合酶



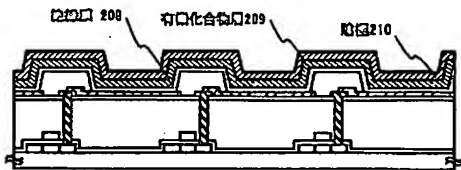
(B) 四角パッチ形成



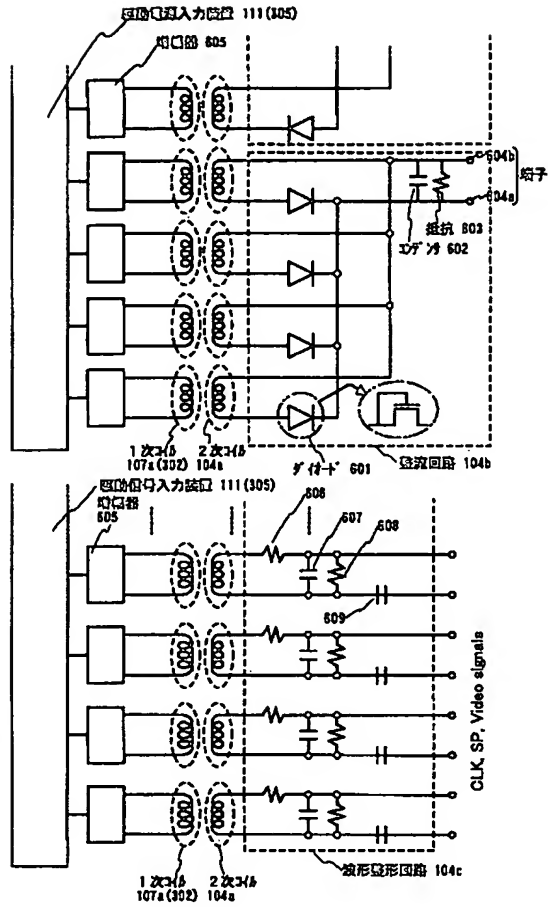
### (C) $\text{N}^+$ 形成/ITO 加热处理



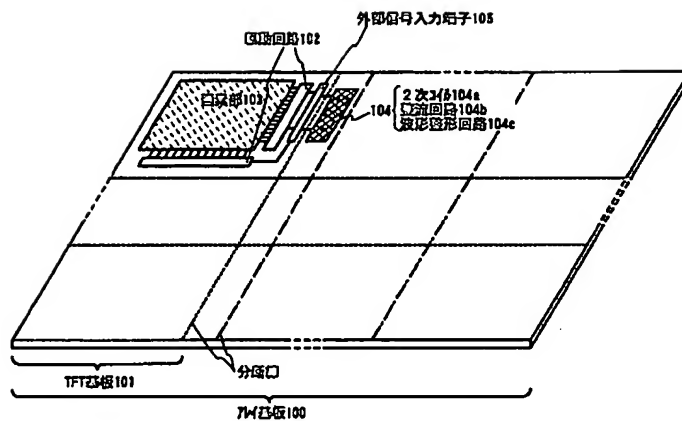
(D) 有鹽化合物層、陰離形成



【図 3】

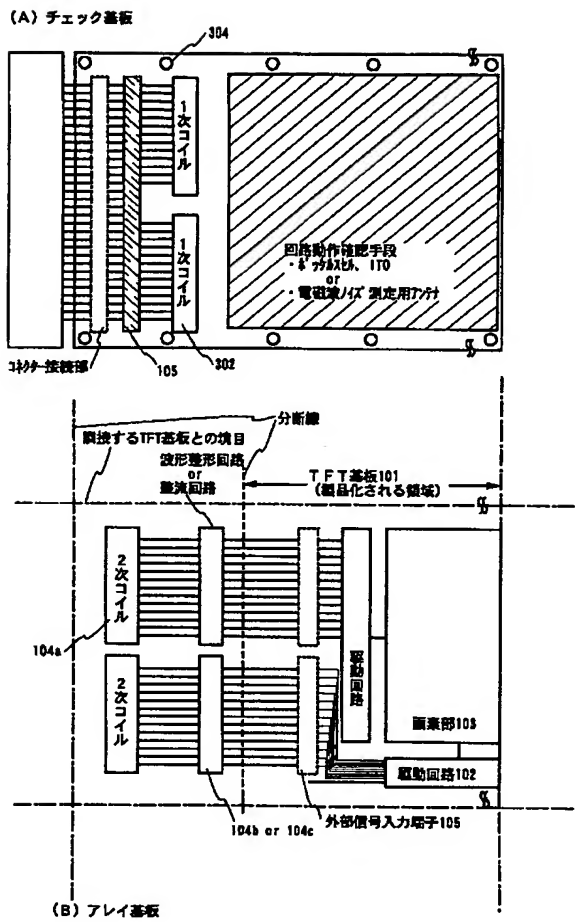


【図 5】

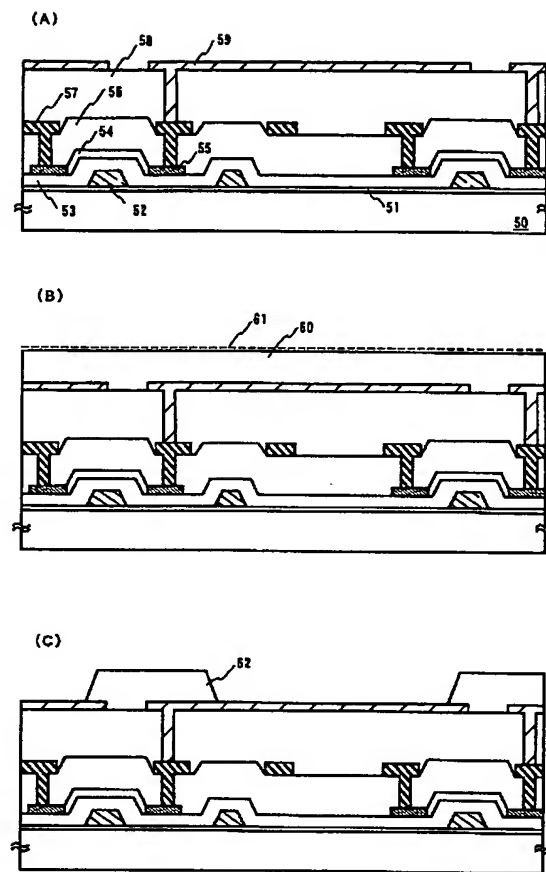




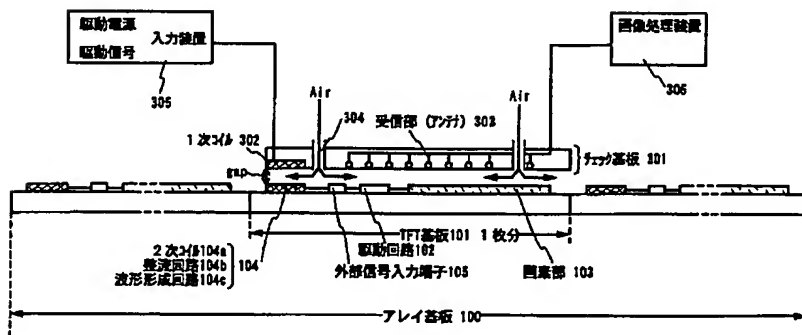
【図4】



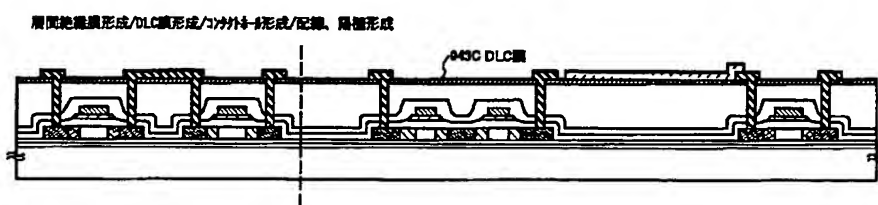
【图 15】



【図 6】

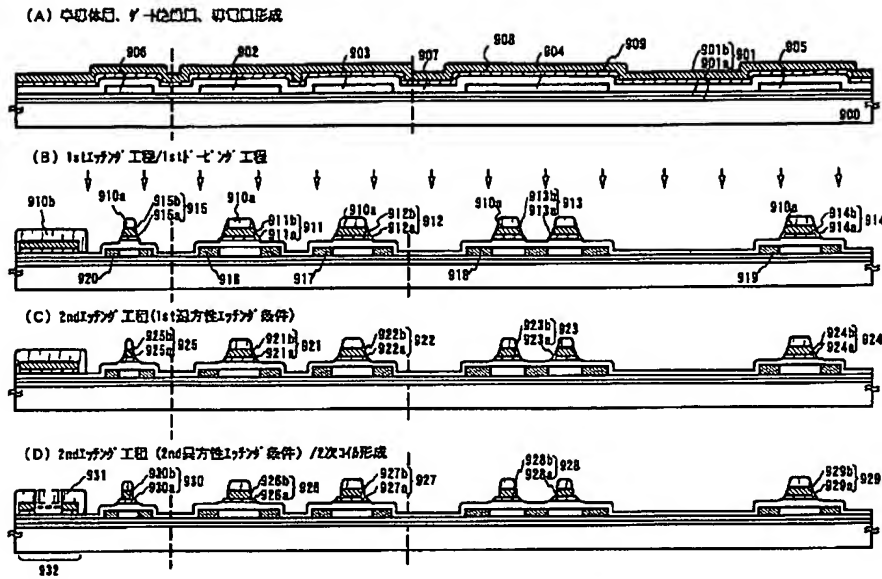


【图 12】

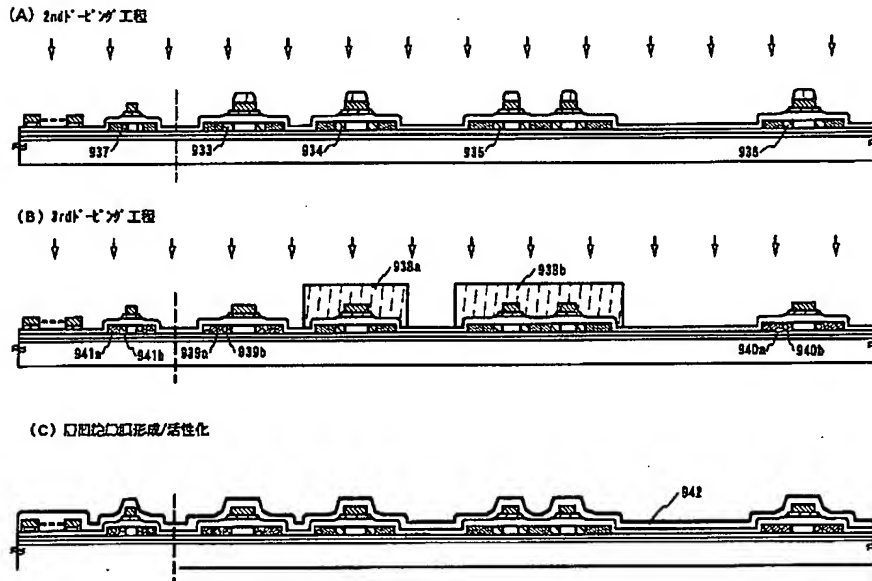




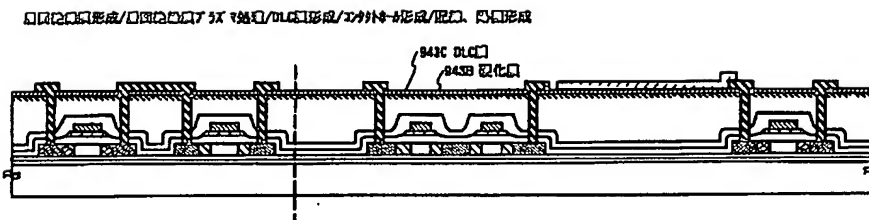
【図 7】



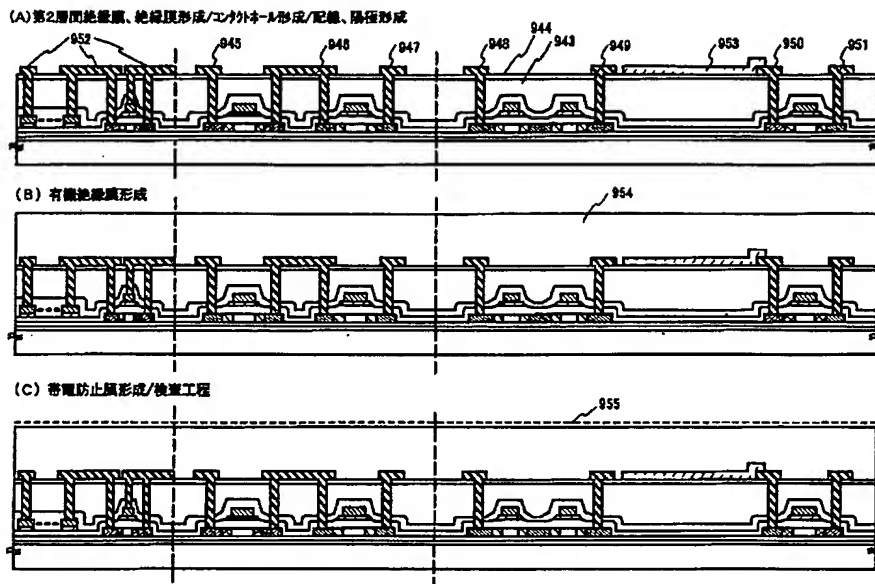
【図 8】



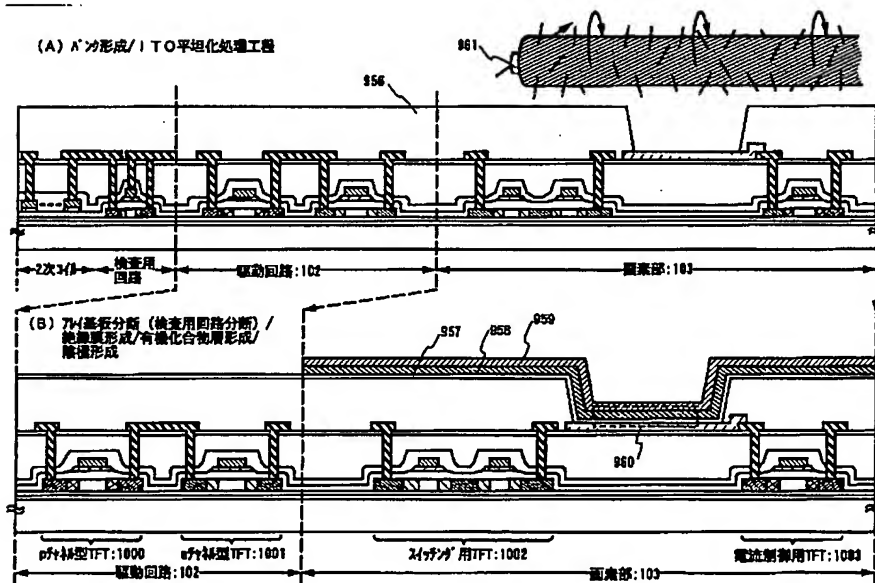
【図 13】



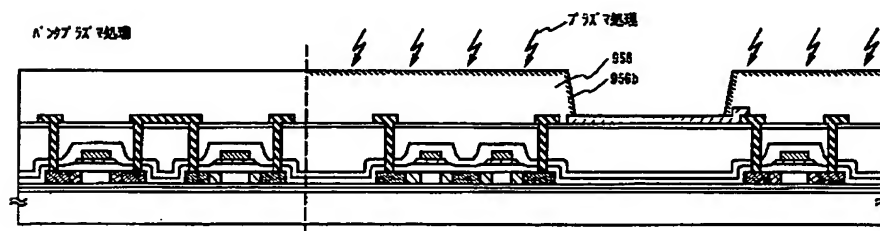
【図9】



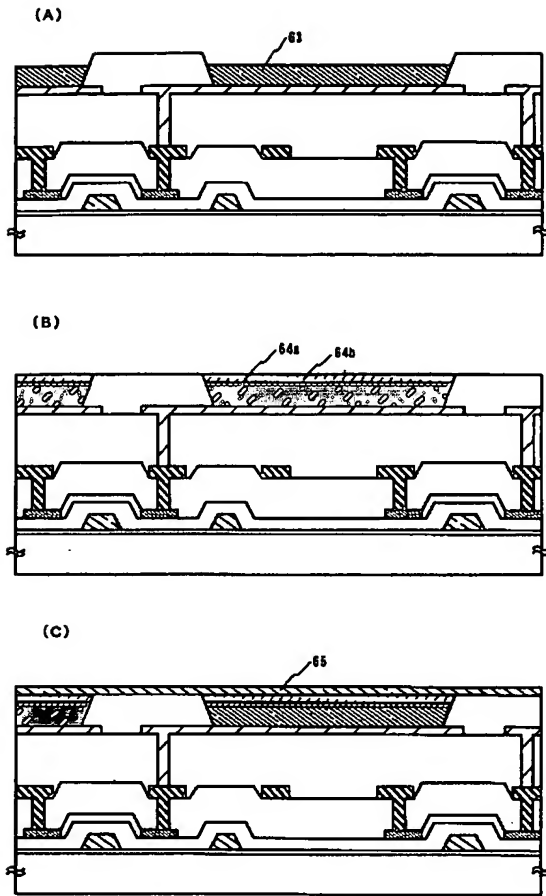
【図10】



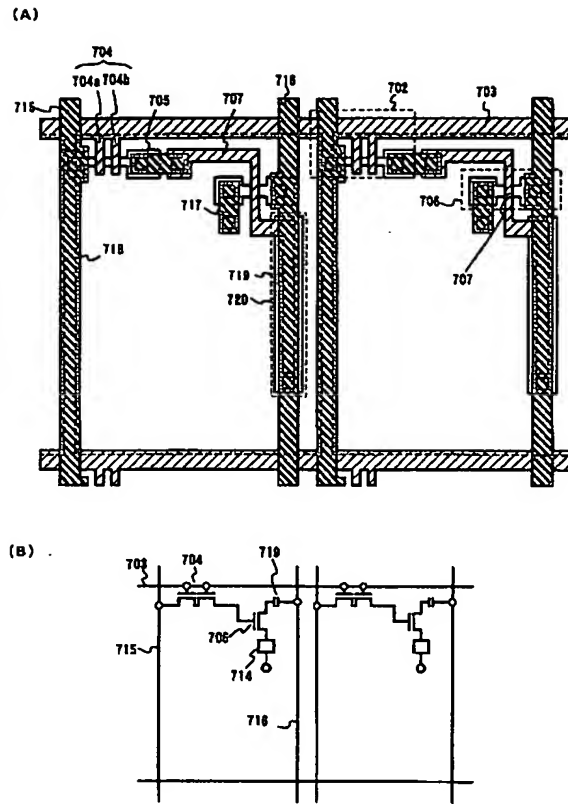
【図14】



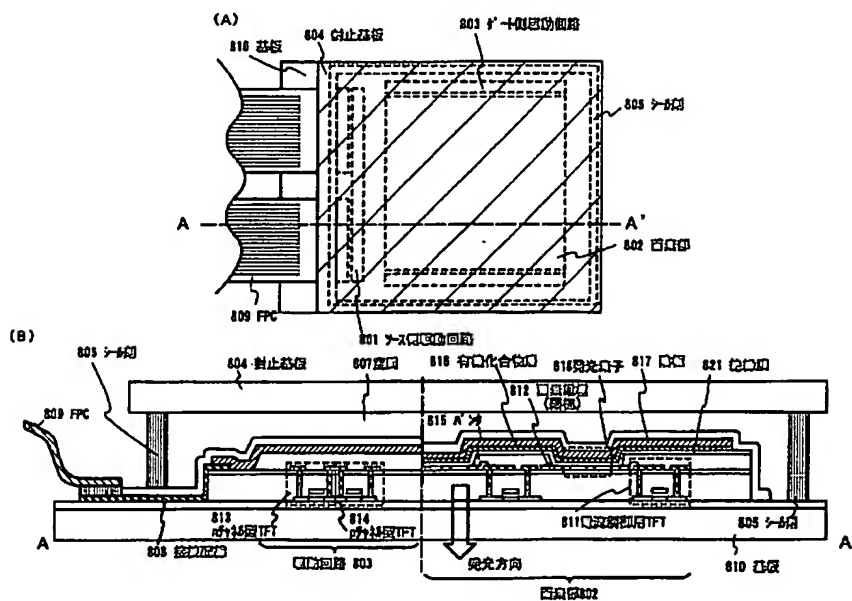
【図16】



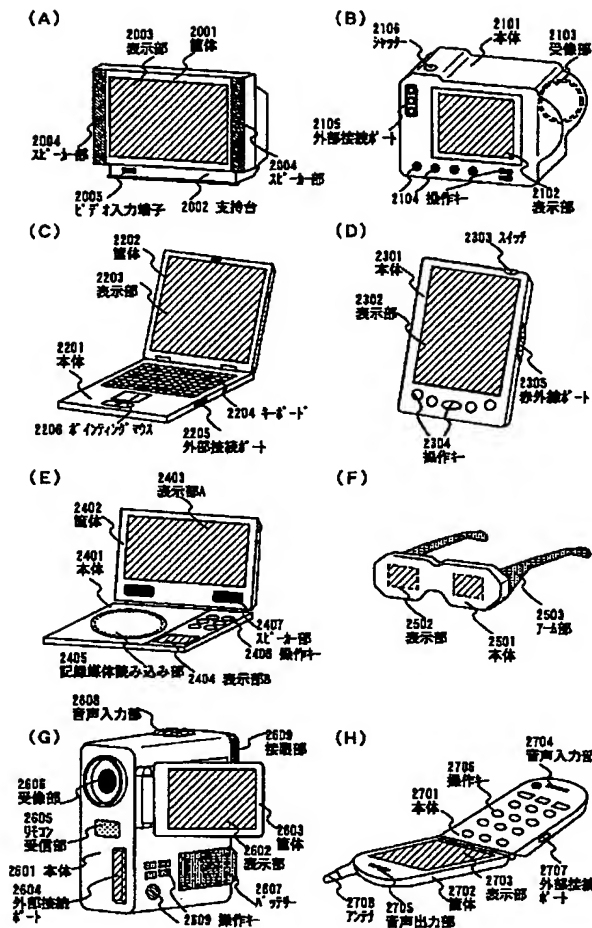
【図18】



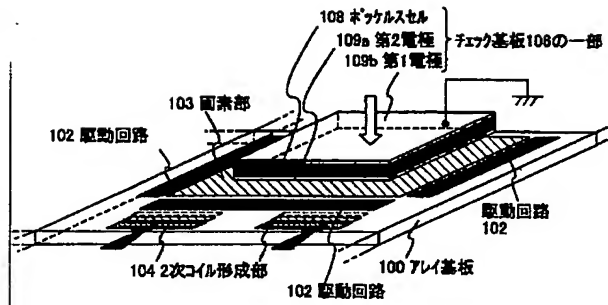
【図17】



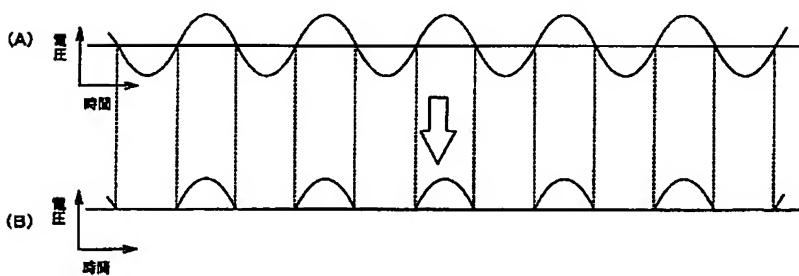
【図 19】



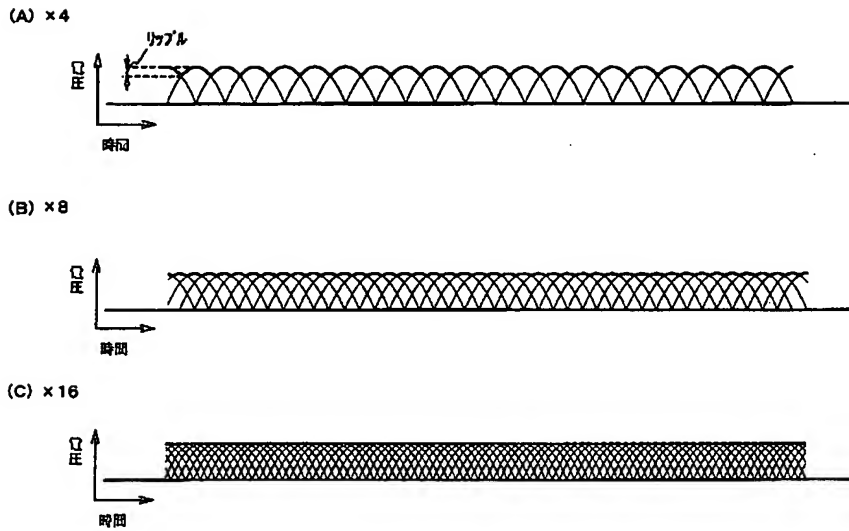
【図 22】



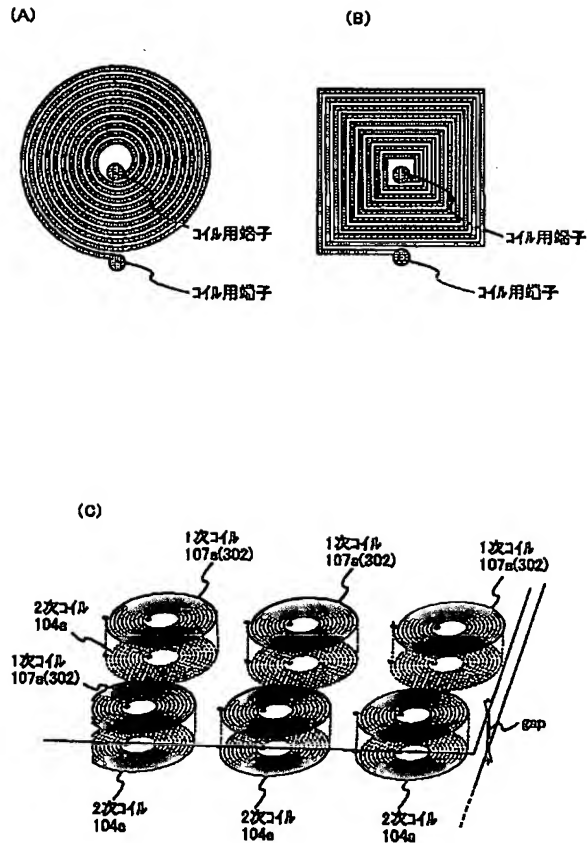
【図 20】



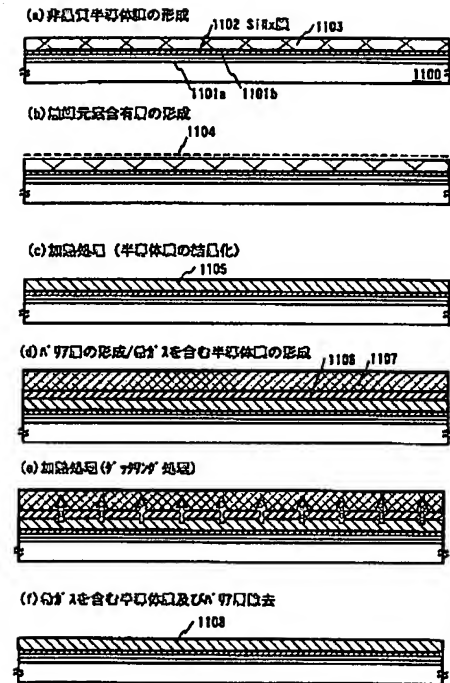
【図 21】



【図 23】



【図 24】



## フロントページの続き

Fターム(参考) 2H092 JA24 JA46 KA05 KB24 KB25  
MA04 MA05 MA08 MA14 MA17  
MA19 MA30 NA29 NA30 PA01  
4M106 AA20 AC02 AC04 AC09 AC11  
AC12 BA20 CA70  
5F110 AA24 BB02 BB04 CC02 DD01  
DD02 DD03 DD13 DD14 DD15  
DD17 EE01 EE02 EE03 EE04  
EE06 EE09 EE14 EE15 EE23  
EE28 EE44 EE45 FF02 FF04  
FF28 FF30 FF36 GG01 GG02  
GG13 GG25 GG32 GG43 GG45  
GG47 HJ01 HJ04 HJ12 HJ23  
HL03 HL04 HL06 HL07 HL11  
HL23 HM15 NN03 NN22 NN23  
NN24 NN27 NN34 NN35 NN72  
NN73 NN80 PP02 PP03 PP29  
PP34 PP35 QQ09 QQ11 QQ24  
QQ25 QQ28  
5G435 AA17 AA19 BB05 CC09 LL04  
LL07 LL08 LL14